

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-021827

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 21/304
H01L 21/76

(21)Application number : 10-188902

(71)Applicant : SONY CORP

(22)Date of filing : 03.07.1998

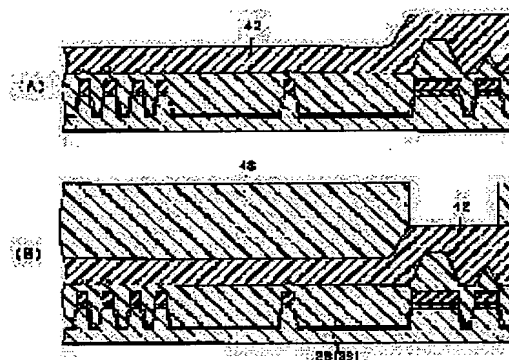
(72)Inventor : NAGAYAMA TETSUJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device, which can secure a gate work margin and can suppress the fluctuations of transistor characteristic by reducing the drop of a trench end part in the semiconductor device, where an element isolation region by means of STI(shallow trench isolation) is formed.

SOLUTION: This manufacture method of a semiconductor device has a process for embedding an insulator in an element isolation groove 36 and forming an element isolation insulating film 38, a process where a first corrosion resistance layer 42 whose etching speed is slower than the insulator and a second corrosion resistance layer 43 the etching speed of which is much slow are stacked, a process where an opening is selectively installed in the second corrosion resistance layer 43 on at least one element forming region and the first corrosion resistance layer 42, and the element isolation insulating film 38 are etched/removed through the opening and a process, where the first and second corrosion resistance layers are removed and the element isolation insulating film on a substrate is polished and removed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the manufacture approach of the semiconductor device which contains two or more component formation fields on a semi-conductor substrate. The process which forms the slot for isolation for separating said component formation field in the process which forms the sacrifice film on said semi-conductor substrate, and the field in which said sacrifice film of said semi-conductor substrate was formed, The process which embeds an insulator in said slot for isolation so that a part may project on the substrate side of said semi-conductor substrate, and forms an isolation insulator layer in it, The process which forms in the whole surface the 1st corrosion-proof layer which consists of an ingredient with a slow etch rate as compared with said insulator, The process which forms in the whole surface

the 2nd corrosion-proof layer which consists of an ingredient with a slow etch rate as compared with said 1st corrosion-proof layer, Said 2nd corrosion-proof layer on at least one component formation field is removed alternatively. The process which prepares opening in said 2nd corrosion-proof layer, and the process which carries out sequential etching and removes said the 1st corrosion-proof layer and said isolation insulator layer through said opening, The manufacture approach of a semiconductor device of having the process which removes said 1st and 2nd corrosion-proof layers, and the process which grinds and removes said isolation insulator layer projected on said substrate side.

[Claim 2] For the process at which said semi-conductor substrate contains a large field relatively, and component formation spacing prepares opening in said 2nd corrosion-proof layer, a narrow field and component formation spacing are the manufacture approach of a semiconductor device according to claim 1 of being the process from which the 2nd corrosion-proof layer on the component formation field where said component formation spacing was relatively formed in the narrow field is removed alternatively, relatively.

[Claim 3] The process which said semi-conductor substrate consists of a silicon substrate, and forms said sacrifice

film is the manufacture approach of the semiconductor device according to claim 1 which is the process which oxidizes said silicon substrate surface thermally.

[Claim 4] The process which embeds said insulator in said slot for isolation is the manufacture approach of the semiconductor device according to claim 1 which is the process which carries out the chemistry gaseous-phase vacuum evaporatio~~no~~ of said insulator while supplying the membrane formation gas of said insulator and etching said some of insulators.

[Claim 5] Said insulator is the manufacture approach of the semiconductor device according to claim 1 which consists of silicon oxide.

[Claim 6] The process which forms said 1st and 2nd corrosion-proof layers is the manufacture approach of the semiconductor device according to claim 1 which is the process which applies and dries the fluid organic spreading film.

[Claim 7] The process which forms said isolation insulator layer is the manufacture approach of a semiconductor device according to claim 1 of having the process which forms the stopper layer which consists of an ingredient with a slow polish rate as compared with said insulator on said sacrifice film, and the process which makes said insulator depositing on said Mizouchi for isolation, and said stopper layer.

[Claim 8] The manufacture approach of a semiconductor device according to claim 7 of having the process which removes said stopper layer after removing said 1st and 2nd corrosion-proof layers.

[Claim 9] Said stopper layer is the manufacture approach of the semiconductor device according to claim 8 which consists of silicon nitride.

[Claim 10] The process which removes said stopper layer is the manufacture approach of the semiconductor device according to claim 9 which is the isotropic etching which used the hot phosphoric acid.

[Claim 11] In the manufacture approach of the semiconductor device which contains two or more component formation fields on a semi-conductor substrate The process which forms the slot for isolation for separating said component formation field in the process which forms the sacrifice film on said semi-conductor substrate, and the field in which said sacrifice film of said semi-conductor substrate was formed, The process which embeds an insulator in said slot for isolation so that a part may project on the substrate side of said semi-conductor substrate, and forms an isolation insulator layer in it, The process which removes said isolation insulator layer which etched into the front face of said isolation insulator layer, and was formed in said component formation field edge at least, The process which forms in

the whole surface the 1st corrosion-proof layer which consists of an ingredient with a slow etch rate as compared with said insulator, The process which forms in the whole surface the 2nd corrosion-proof layer which consists of an ingredient with a slow etch rate as compared with said 1st corrosion-proof layer, Said 2nd corrosion-proof layer on at least one component formation field is removed alternatively. The process which prepares opening in said 2nd corrosion-proof layer, and the process which carries out sequential etching and removes said the 1st corrosion-proof layer and said isolation insulator layer through said opening, The manufacture approach of a semiconductor device of having the process which removes said 1st and 2nd corrosion-proof layers, and the process which grinds and removes said isolation insulator layer projected on said substrate side.

[Claim 12] For the process at which said semi-conductor substrate contains a large field relatively, and component formation spacing prepares opening in said 2nd corrosion-proof layer, a narrow field and component formation spacing are the manufacture approach of a semiconductor device according to claim 11 of being the process from which the 2nd corrosion-proof layer on the component formation field where said component formation spacing was relatively formed in the narrow field is

removed alternatively, relatively.

[Claim 13] The process which said semi-conductor substrate consists of a silicon substrate, and forms said sacrifice film is the manufacture approach of the semiconductor device according to claim 11 which is the process which oxidizes said silicon substrate surface thermally.

[Claim 14] The process which embeds said insulator in said slot for isolation is the manufacture approach of the semiconductor device according to claim 11 which is the process which carries out the chemistry gaseous-phase vacuum evaporation of said insulator while supplying the membrane formation gas of said insulator and etching said some of insulators.

[Claim 15] Said insulator is the manufacture approach of the semiconductor device according to claim 11 which consists of silicon oxide.

[Claim 16] The process which forms said 1st and 2nd corrosion-proof layers is the manufacture approach of the semiconductor device according to claim 11 which is the process which applies and dries the fluid organic spreading film.

[Claim 17] The process which forms said isolation insulator layer is the manufacture approach of a semiconductor device according to claim 11 of having the process which forms the stopper layer which consists of an ingredient with a slow polish rate as compared with said insulator on said

sacrifice film, and the process which makes said insulator depositing on said Mizouchi for isolation, and said stopper layer.

[Claim 18] The manufacture approach of a semiconductor device according to claim 17 of having the process which removes said stopper layer after removing said 1st and 2nd corrosion-proof layers.

[Claim 19] Said stopper layer is the manufacture approach of the semiconductor device according to claim 18 which consists of silicon nitride.

[Claim 20] The process which removes said stopper layer is the manufacture approach of the semiconductor device according to claim 19 which is the isotropic etching which used the hot phosphoric acid.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the manufacture approach of a semiconductor device that fluctuation of the transistor characteristics resulting from depression of the embedding oxide film of a trench edge and lack of a gate processing margin are controlled, by carrying out flattening of the substrate front face in which STI

was formed to homogeneity about the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] Development of the isolation formation technique for reducing the area of a component isolation region is positively performed with detailed-izing of a semiconductor device. as the isolation formation technique conventionally used widely -- LOCOS (local oxidation of silicon) -- there is law. In the LOCOS method, in order to make the silicon substrate itself oxidize thermally by using a silicon nitride as a mask, a process has the description that it is brief, there are also few problems of the component stress of an oxide film, and the membraneous quality of the oxide film generated is also excellent.

[0003] however -- if detailed-ization of a semiconductor device advances and it shifts to 0.25-micrometer generation completely -- LOCOS -- it is expected that application of law becomes a limitation. According to the LOCOS method, there is a problem that a BAZU beak occurs at the LOCOS edge by thermal oxidation, the area of an active field decreases or a surface level difference becomes remarkable. Moreover, although the LOCOS method is especially applicable to the field where component formation spacing is large, for example, a circumference circuit part, satisfactory, if

it applies to the field where component formation spacing is narrow, for example, a memory cell part, the thermal oxidation process for LOCOS formation cannot advance fully easily. Therefore, as compared with a circumference circuit part, in the field where components formation spacing, such as a memory cell part, is narrow, LOCOS is easy to be formed thinly and an insulating property may fall.

[0004] in order to solve the above problems -- an isolation formation technique -- LOCOS -- it is shifting to the approach of forming STI (Shallow Trench Isolation) from law (for example, refer to JP,57-176762,A, JP,60-53045,A and the component demarcation membrane formation approach of a semiconductor device given in JP,9-172007,A, and the total theory of semi-KONWARUDO July, 96 issue printing). In order according to the STI technique to form a slot in a substrate front face and to embed an insulating material, the variation of tolerance from a design dimension decreases, and it is suitable for detailed-ization. Moreover, in order to carry out flattening of the front face by a certain approach after embedding an insulator layer, it is suitable also when performing highly precise lithography processing as which sufficient surface surface smoothness is required.

[0005] The isolation formation approach by the conventional STI technique is

explained below with reference to drawing 14 - drawing 18 . As shown in drawing 14 (A), on the other hand, component formation spacing forms [component formation spacing] relatively the part (field B) which has a memory cell part (field A), a large active field, and narrow active fields, such as DRAM, as a narrow field relatively, and the part (field C) which has an isolated active field in a large field on a silicon substrate 51.

[0006] First, as shown in drawing 14 (A), the sacrifice film (pad oxide film) 52 is formed by about 10-20nm of thickness on a silicon substrate 51. The SiN film 53 is formed by about 150-200nm of thickness with a CVD method on the pad oxide film 52. Next, after depositing a photoresist 54 on the whole surface, if a photolithography process performs patterning of an active field to a photoresist 54, it will become structure as shown in drawing 14 (B). After performing etching of the SiN film 53 and the pad oxide film 52 by using a photoresist 54 as a mask, if a photoresist 54 is removed, it will become structure as shown in drawing 15 (A).

[0007] Next, as shown in drawing 15 (B), a silicon substrate 51 is etched a depth of about 300-400nm by using as a mask the SiN film 53 by which patterning was carried out, and a trench is formed between active fields. Furthermore, it oxidizes thermally and the thermal

oxidation film 55 is formed in the pars basilaris ossis occipitalis and side attachment wall of a trench. This becomes structure as shown in drawing 16 (A). Next, the embedding oxide film (HDP:high density plasma film) 56 which consists of silicon oxide is embedded at the above-mentioned trench. This becomes structure as shown in drawing 16 (B).

[0008] then, CMP (chemical mechanical polishing) -- it embeds by law and flattening of oxide-film 56 front face is performed. In order to carry out polish by CMP to homogeneity on the whole surface, the heights of embedding oxide-film 56 front face are beforehand removed, before performing CMP. As shown in drawing 17 (A), the photoresist 57 which covers except Field B is formed, and etching removes the embedding oxide film 56 on Field B by using a photoresist 57 as a mask. Then, if a photoresist 57 is removed, it will become structure as shown in drawing 17 (B). Furthermore, STI is formed on a silicon substrate 51 by removing the SiN film 53 and the pad oxide film 52 by etching.

[0009]

[Problem(s) to be Solved by the Invention] As for the above STI techniques, although application to a next-generation device is becoming indispensable, utilization still has many technical problems. For example, in the process which etches the embedding

oxide film 56 on Field B shown in above-mentioned drawing 17 R> 7 (A), it is difficult to remove completely the embedding oxide film 56 of the upper part of Field B from constraint of the alignment precision at the time of resist mask formation. Since specifically avoids that opening of a photoresist 57 is prolonged on a trench by alignment gap in the process shown in drawing 17 (A), it is limited and prepared by opening of a photoresist 57 near the core of a large active field. Therefore, as shown in drawing 17 (B), on the large active field (field B) after etching the embedding oxide film 56, the thick embedding oxide film 56 remains as compared with the fields A, such as a memory cell part.

[0010] If CMP is performed until the thick embedding oxide film 56 which remained on Field B is removed, as shown in drawing 18 (A), the narrow active field (field C) upper part will be ground superfluously, and the so-called dishing (dishing) will happen. Furthermore, after CMP, before forming gate oxide, isotropic etching which used the etching reagent of a fluoric acid system is performed, and the pad oxide film 52 is removed. In the process which removes this pad oxide film 52, since the edge part of the embedding oxide film 56 is also shaved off with a fluoric acid system etching reagent, as a result, the depression 58 of a trench edge occurs also in which field, and it becomes a big level

difference. A gate processing margin decreases remarkably with this level difference, and it has become the hindrance of detailed-izing of a semiconductor device.

[0011] Moreover, in case flattening of the embedding oxide film 56 is carried out by CMP, the level difference produced in the above-mentioned component isolation region is promoted also when the selection ratio of etching of an oxide film and the SiN film changes as a property of CMP polish according to the rate of area of an active field. Since the selection ratio of the film for SiN is not specifically securable in the isolated active field (field C) surrounded by the large isolation insulator layer as shown in drawing 18 (A), superfluous polish of the embedding oxide film 56 is carried out. On the contrary, since the selection ratio of the film for SiN is secured in the part (field B) where the rate of area of an active field is high, a polish rate becomes slow. Therefore, in the chip which polish did not advance to homogeneity on the whole surface, for example, loaded together a memory cell and logic, such as DRAM, a memory cell part may differ in the configuration of STI from a logic part, and the property of a transistor may fall.

[0012] Moreover, especially in a memory cell part (field A), it may be in the condition that embedded rather than the silicon substrate 51 and the direction of an oxide film 56 projected, as [show / in

drawing 18 (B)], and removal of polish recon may become imperfect at the time of gate electrode processing. Polish by CMP advances superfluously, on the other hand, [near the isolated active field (field C) of a logic part], as shown in drawing 18 (C), it embeds, and an oxide film 26 will be in the condition of having caved in rather than silicon substrate 21 front face.

[0013] Transistor characteristics fall by the depression 58 of the edge parts of that the gate oxide formed between component isolation regions after STI formation besides the above problems becomes easy to deteriorate and the embedding oxide film 56. This invention is made in view of the above-mentioned trouble, therefore this invention aims at offering the manufacture approach of a semiconductor device that sufficient gate processing margin for a trench edge is securable by carrying out flattening of the substrate front face to homogeneity. Moreover, this invention aims at offering the manufacture approach of the semiconductor device which can control fluctuation of transistor characteristics resulting from the level difference of the embedding oxide film in a trench edge.

[0014]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture approach of the semiconductor device of this invention In the manufacture approach of the

semiconductor device which contains two or more component formation fields on a semi-conductor substrate. The process which forms the slot for isolation for separating said component formation field in the process which forms the sacrifice film on said semi-conductor substrate, and the field in which said sacrifice film of said semi-conductor substrate was formed, The process which embeds an insulator in said slot for isolation so that a part may project on the substrate side of said semi-conductor substrate, and forms an isolation insulator layer in it, The process which forms in the whole surface the 1st corrosion-proof layer which consists of an ingredient with a slow etch rate as compared with said insulator, The process which forms in the whole surface the 2nd corrosion-proof layer which consists of an ingredient with a slow etch rate as compared with said 1st corrosion-proof layer, Said 2nd corrosion-proof layer on at least one component formation field is removed alternatively. The process which prepares opening in said 2nd corrosion-proof layer, and the process which carries out sequential etching and removes said the 1st corrosion-proof layer and said isolation insulator layer through said opening, It is characterized by having the process which removes said 1st and 2nd corrosion-proof layers, and the process which grinds and removes said isolation

insulator layer projected on said substrate side.

[0015] A narrow field and component formation spacing are suitably characterized by for the process at which said semi-conductor substrate contains a large field relatively, and, as for the manufacture approach of the semiconductor device of this invention, component formation spacing prepares opening in said 2nd corrosion-proof layer relatively to be a process which removes alternatively the 2nd corrosion-proof layer on the component formation field where said component formation spacing was relatively formed in the narrow field. The process in which said semi-conductor substrate becomes from a silicon substrate suitably, and the manufacture approach of the semiconductor device of this invention forms said sacrifice film is characterized by being the process which oxidizes said silicon substrate surface thermally.

[0016] The process to which the manufacture approach of the semiconductor device of this invention embeds said insulator suitably in said slot for isolation is characterized by being the process which carries out the chemistry gaseous-phase vacuum evaporation of said insulator, supplying the membrane formation gas of said insulator and etching said some of insulators. The manufacture approach of the semiconductor device of this

invention is suitably characterized by said insulator consisting of silicon oxide. The process in which the manufacture approach of the semiconductor device of this invention forms said 1st and 2nd corrosion-proof layers suitably is characterized by being the process which applies and dries the fluid organic spreading film.

[0017] The process in which the manufacture approach of the semiconductor device of this invention forms said isolation insulator layer suitably is characterized by having the process which forms the stopper layer which consists of an ingredient with a slow polish rate as compared with said insulator on said sacrifice film, and the process which makes said insulator deposit on said Mizouchi for isolation, and said stopper layer. Suitably, after the manufacture approach of the semiconductor device of this invention removes said 1st and 2nd corrosion-proof layers, it is characterized by having the process which removes said stopper layer. The manufacture approach of the semiconductor device of this invention is suitably characterized by said stopper layer consisting of silicon nitride. The process from which the manufacture approach of the semiconductor device of this invention removes said stopper layer suitably is characterized by being the isotropic etching which used the hot phosphoric acid.

[0018] Thereby, in the process which carries out etchback of the isolation insulator layer on a large active field by which component formation spacing was relatively formed in the narrow field, since a substrate front face is protected by the 1st and 2nd corrosion-proof layers, the insulator in a trench is not etched superfluously. Moreover, in order to form the 2nd corrosion-proof layer in the upper layer of the 1st corrosion-proof layer and to prepare opening in the 2nd corrosion-proof layer, compared with the case where carry out 1 stratification of the corrosion-proof layer, and opening is prepared, a margin becomes large. Therefore, even if it does not fully raise alignment precision, it can prevent etching the insulator in a trench.

[0019] As mentioned above, according to the manufacture approach of the semiconductor device of this invention, STI of a uniform configuration is formed also in the semiconductor device consolidated with memory cell parts, such as the field where component formation spacing is narrow, for example, DRAM etc., and the field where component formation spacing is large, for example, a circumference circuit part. Therefore, depression of a trench edge is reduced and a gate processing margin can be made to extend. Moreover, fluctuation of the transistor characteristics resulting from depression of a trench edge is also controlled.

[0020] In order to attain the above-mentioned purpose, moreover, the manufacture approach of the semiconductor device of this invention In the manufacture approach of the semiconductor device which contains two or more component formation fields on a semi-conductor substrate The process which forms the slot for isolation for separating said component formation field in the process which forms the sacrifice film on said semi-conductor substrate, and the field in which said sacrifice film of said semi-conductor substrate was formed, The process which embeds an insulator in said slot for isolation so that a part may project on the substrate side of said semi-conductor substrate, and forms an isolation insulator layer in it, The process which removes said isolation insulator layer which etched into the front face of said isolation insulator layer, and was formed in said component formation field edge at least, The process which forms in the whole surface the 1st corrosion-proof layer which consists of an ingredient with a slow etch rate as compared with said insulator, The process which forms in the whole surface the 2nd corrosion-proof layer which consists of an ingredient with a slow etch rate as compared with said 1st corrosion-proof layer, Said 2nd corrosion-proof layer on at least one component formation field is removed alternatively. The process which prepares

opening in said 2nd corrosion-proof layer, and the process which carries out sequential etching and removes said the 1st corrosion-proof layer and said isolation insulator layer through said opening, It is characterized by having the process which removes said 1st and 2nd corrosion-proof layers, and the process which grinds and removes said isolation insulator layer projected on said substrate side.

[0021] Before this applies the 1st corrosion-proof layer which consists of organic film etc., the embedding ingredient on a trench and an active field (insulator) dissociates. Therefore, the stopper layer (silicon nitride) of an active field edge is exposed, and the 1st corrosion-proof layer formed in the upper layer is contacted. That is, since the embedding ingredient in a trench (insulator) will be in the condition of having been covered completely, it can prevent that depression occurs at the trench edge by over-etching or superfluous polish. By reducing the level difference of a trench edge, a gate processing margin is extensible. Moreover, fluctuation of the transistor characteristics resulting from depression of a trench edge is also controlled.

[0022]

[Embodiment of the Invention] The gestalt of implementation of the manufacture approach of the semiconductor device of this invention is

explained below with reference to a drawing. First, the equipment used for the process on which embed in the trench of the manufacture approach of the semiconductor device of this invention, and an oxide film is made to deposit is explained with reference to drawing 1 - drawing 3. In the manufacture approach of this invention, although it is also possible to use conventional plasma-CVD equipment as equipment for forming an embedding oxide film, the CVD system which generates low voltage and the high density plasma is suitably used from a viewpoint that a configuration is controllable with high precision.

[0023] Drawing 1 is the schematic diagram of (high frequency RF) bias impression mold ECR (microwave electron cyclotron resonance) plasma treatment equipment. In the equipment shown in drawing 1, the microwave generated in the magnetron 11 reaches a wafer 15 through a waveguide 12 and the quartz bell jar 13. Wafer 15 is being fixed by the unipolar system electrostatic chuck or the clamp 16 on the wafer stage 17.

[0024] Drawing 2 is the schematic diagram of MCR (magnetic field containment reactor) plasma treatment equipment. In the equipment shown in drawing 2, after irradiating 13.56MHz high frequency from RF generator 18 and making the up electrode 19 discharge as an anode to side-attachment-wall

electrode 19' made from a quartz, the multipole magnet (un-illustrating) wound around the up electrode 19 or the chamber side attachment wall performs magnetic field containment, and the comparatively high-concentration plasma is generated.

[0025] Drawing 3 (A) is the schematic diagram of inductively-coupled-plasma (ICP) type plasma treatment equipment. A 2MHz RF (RF) is impressed to the inductive-coupling coil 20 wound around the chamber side attachment wall from RF generator 18, and it is made to generate the high density plasma in the equipment shown in drawing 3 (A).

[0026] Drawing 3 (B) is the schematic diagram of helicon wave plasma type plasma treatment equipment. In the equipment shown in drawing 3 (B), if RF is impressed to an antenna 23 from the source power source 22, it will interact with the magnetic field formed with a solenoid coil 14. Thereby, a whistler wave (helicon wave) occurs in the source chamber 24, and the high density plasma produced as a result reaches a wafer 15. Moreover, to above equipment, the refrigerant for temperature control circulates through each on the wafer stage 17 possessing RF generator 18 (un-illustrating). Furthermore, a unipolar system electrostatic chuck is installed and -50-300-degree C temperature control is possible.

[0027] (Operation gestalt 1) Drawing 4

(A) is a sectional view showing the substrate part of a semiconductor device manufactured by the manufacture approach of the semiconductor device of this operation gestalt. On a silicon substrate 31, the memory cell field 32, the large active field 33, and the narrow active fields 34, such as DRAM, are relatively formed for component formation spacing as a narrow field, and, on the other hand, the isolated active field 35 is relatively formed for component formation spacing in the large field. STI36 for isolation is formed between each component, and the HDP film 38 which consists of silicon oxide is embedded through the oxide film 37 at STI36.

[0028] Next, the manufacture approach of the semiconductor device of this above-mentioned operation gestalt is explained. First, as shown in drawing 4 (B), the thermal oxidation film is formed by about 10-20nm of thickness as a pad oxide film 39 on a silicon substrate 31. In the isolation insulator layer formation process mentioned later, the pad oxide film 39 is formed in order to prevent the stress of the SiN film 40 used as an antioxidizing mask affecting a silicon substrate 31. On the pad oxide film 39, the silicon nitride (SiN film) 40 which serves as a stopper layer in the CMP process mentioned later is formed by about 150-200nm of thickness for example, with a reduced pressure CVD

method.

[0029] Next, after depositing a photoresist 41 on the whole surface, as shown in drawing 4 (C), a photolithography process performs patterning of an active field to a photoresist 41. As shown in drawing 5 (A) using a KrF excimer laser by using a photoresist 41 as a mask, etching of the SiN film 40 and the pad oxide film 39 is performed. Thereby, the tooth-space pattern of 0.3-micrometer [a minimum of] width of face is formed. Then, a photoresist 41 is removed.

[0030] Next, as shown in drawing 5 (B), a silicon substrate 31 is etched a depth of about 300-400nm by using as a mask the SiN film 40 by which patterning was carried out, and a trench 36 is formed between active fields. Etching for forming a trench 36 is performed on condition that the following using ECR type Si etching system as [shown in drawing 1].

gas: -- Cl₂ / HBr=50 / 30sccm pressure: -- 0.2Pamu wave output: -- 900WRF bias: -- 60W (800kHz)

Wafer temperature: 20 degrees C [0031] Furthermore, it oxidizes thermally, and as shown in drawing 6 (A), the oxide film 37 of about 20nm of thickness is formed in the wall of a trench 36. This thermal oxidation is performed at 1000 degrees C among the dry oxidation ambient atmosphere which contains a hydrochloric acid 1%. In order to form a trench 36, if dry etching is performed to a

silicon substrate 31, a damage will be given to a silicon substrate 31, but if an oxide film 37 is formed by thermal oxidation, the damage of a silicon substrate 31 will be recovered to some extent. Moreover, since it becomes the configuration where the corner part of trench upper limit was roundish by forming an oxide film 37, in case it embeds at the continuing process and an oxide film (HDP film) 38 is made to deposit, it can prevent an opening (void) occurring.

[0032] Next, the above-mentioned trench 36 is made to deposit the embedding oxide film 38 using the ECR type high density plasma-CVD equipment as [shown in drawing 1]. This becomes structure as shown in drawing 6 (B). Formation of the embedding oxide film 38 is performed on condition that the following, and thickness may be about 600nm.

gas: -- SiH_4 / H_2O = 20 / 30sccm pressure:
-- 0.1Pamu wave output: -- 1000WRF
bias: -- 400W (13.56MHz)

Wafer temperature: 200 degrees C [0033]
By using the HDP film as an embedding oxide film 38, there is little film contraction and it serves as an isolation insulator layer which was excellent in step coverage nature (step coverage) also in the part where an aspect ratio is high. Moreover, in case the application 38 of the bias sputter method, i.e., an embedding oxide film, is made to deposit,

high-frequency power is impressed so that self-bias may also start a silicon substrate 31 side, and the isolation insulator layer (STI) 36 with a taper-like side attachment wall is formed by making it deposit, etching an insulator layer (oxide film) on a silicon substrate 31. According to the bias sputter method, since a sputter differs from an etch rate on a flat side and a level difference side face, when the plasma chooses self-bias conditions suitably in the range which does not do damage to a component property, the front face by which flattening was carried out is obtained.

[0034] Then, annealing of the embedding oxide film 38 is performed. It embeds with the oxide film 37 of trench 36 wall, generating of the minute opening (void) in an interface with an oxide film 38 is controlled by this annealing, and smoothing of embedding oxide film 38 front face is also performed to coincidence. Annealing is performed on condition that the following.

equipment: -- commercial thermal oxidation furnace gas :P yro ratio 1.0
wafer temperature: -- 900-degree-C time amount: -- as 30 minutes or more show to drawing 6 (B), in the trench 36 interior, the embedding oxide film 38 is embedded by good covering nature, and the embedding oxide film 38 serves as structure which remained by the thickness which is about 200nm on the large active field 33.

[0035] Then, as shown in drawing 7 (A), the organic film 42 (for example, DUV-42 and Brewer Science) is applied about 200nm of thickness with a spin coat method. After making a photoresist 43 deposit all over the upper layer of the organic film 42, as shown in drawing 7 (B), opening is prepared in the photoresist 43 on the large active field 33 and the narrow active field 34. Patterning of a photoresist 43 is performed for example, using i line stepper.

[0036] Next, if etching of the organic film 42 and the embedding oxide film 38 is performed by using a photoresist 43 as a mask, it will become a configuration as shown in drawing 8 (B) through a configuration as shown in drawing 8 (A). Etching of the organic film 42 is performed on condition that the following. Equipment: ECR type Si etching system (refer to drawing 1)

gas: -- Cl₂ / O₂ =50 / 20sccm pressure: -- 0.2Pamu wave output: -- 900WRF bias: -- 60W wafer temperature: -- amount of 20-degree-C etching: -- 150nm [0037] Moreover, etching of the embedding oxide film 38 on the large active field 33 and the narrow active field 34 is performed on condition that the following.

gas: -- C₄ F₈ / helium=50 / 100sccm pressure: -- 0.2Pamu wave output: -- 1000WRF bias: -- 250W (800kHz)

Wafer temperature: 20 degrees C [0038] In the process which etches the

embedding oxide film 38 shown in drawing 8 (B), the etch selectivity of an oxide film is obtained 50 by 8 and the nitride for silicon (40) by the film for organic (42). Therefore, etching to the embedding oxide film 38 in a trench 36 does not take place, but the good configuration of a component isolation region is maintained. Then, by performing ashing processing, as shown in drawing 9 (A), the organic film 42 and a photoresist 43 are removed.

[0039] Furthermore, if it embeds and CMP is performed to an oxide film 38, it will become the structure projected on the substrate front face as shown in drawing 9 (B). CMP is performed on condition that the following.

equipment: -- commercial CMP equipment pressure: -- number of 300 g/cm² rotations: -- 30rpm (head) and 30rpm (table)

time amount: -- 20-second abrasive cloth: -- what carried out the laminating of the nonwoven fabric to the bottom of a polyurethane firing object, IC1000/suba400 [for example,], (product made from Rodale Press)

Abrasive material (slurry): The thing 112 (product made from CABOT) which made the basic water solution distribute fumed silica, for example, IC

[0040] In the process shown in drawing 9 (B), since the thickness of the embedding oxide film 38 which remains on a substrate serves as homogeneity mostly

all over the wafer, there are few amounts of polishes and they end. Therefore, dishing by which superfluous polish of the isolated active field 35 formed into the large isolation insulator layer is carried out hardly happens. Then, etching using a hot phosphoric acid removes the SiN film 40. Furthermore, light etching using fluoric acid is performed and the pad oxide film 39 is removed. Thereby, depression of the embedding oxide film 38 in a trench edge can be suppressed within 20nm, and fluctuation of the transistor characteristics resulting from depression of a trench edge is controlled.

[0041] Furthermore, a sacrifice oxide film (un-illustrating) is formed by the well-known approach, and an impurity is introduced into silicon substrate 31 front face. Then, gate oxide, a wiring metal layer, etc. are formed by the well-known approach on a silicon substrate 31. Thereby, flattening of the substrate front face is carried out to homogeneity, and the semiconductor device with which sufficient gate processing margin was secured is obtained. According to the manufacture approach of the semiconductor device of this above-mentioned operation gestalt, STI of a uniform configuration can be formed also in the semiconductor device with which the memory cell part and the circumference circuit part were loaded together.

[0042] (Operation gestalt 2) By the manufacture approach of this operation gestalt as well as the above-mentioned operation gestalt 1, a semiconductor device as shown in drawing 4 (A) is obtained. Next, the manufacture approach of the semiconductor device of this operation gestalt is explained. First, like the operation gestalt 1, as shown in drawing 4 (B), the thermal oxidation film is formed by about 10-20nm of thickness as a pad oxide film 39 on a silicon substrate 31. On the pad oxide film 39, the silicon nitride (SiN film) 40 which serves as a stopper layer in the CMP process mentioned later is formed by about 150-200nm of thickness for example, with a reduced pressure CVD method.

[0043] Next, after depositing a photoresist 41 on the whole surface, as shown in drawing 4 (C), a photolithography process performs patterning of an active field to a photoresist 41. As shown in drawing 5 (A) using a KrF excimer laser by using a photoresist 41 as a mask, etching of the SiN film 40 and the pad oxide film 39 is performed. Thereby, the tooth-space pattern of 0.3-micrometer [a minimum of] width of face is formed. Then, a photoresist 41 is removed.

[0044] Next, as shown in drawing 5 (B), a silicon substrate 31 is etched a depth of about 300-400nm by using as a mask the SiN film 40 by which patterning was

carried out, and a trench 36 is formed between active fields. Etching for forming a trench 36 is performed on condition that the following using MCR type Si etching system as [shown in drawing 2].
 gas: -- Cl₂ / HBr=50 / 40sccm pressure: -- 0.2Pa source mode output: -- 1000WRF bias: -- 40W (450kHz)

Wafer temperature: 70 degrees C [0045]
 Furthermore, it oxidizes thermally on the same conditions as the operation gestalt 1, and as shown in drawing 6 (A), the oxide film 37 of about 20nm of thickness is formed in the wall of a trench 36. Thereby, the damage of the silicon substrate 31 by dry etching recovers a certain extent. Moreover, since it becomes the configuration where the corner part of trench upper limit was roundish by forming an oxide film 37, in case it embeds at the continuing process and an oxide film (HDP film) 38 is made to deposit, it can prevent an opening (void) occurring.

[0046] Next, the above-mentioned trench 36 is made to deposit the embedding oxide film (HDP film) 38 using the ECR type high density plasma-CVD equipment as [shown in drawing 1]. This becomes structure as shown in drawing 6 (B). Formation of the embedding oxide film 38 is performed on condition that the following, and thickness may be about 600nm.

gas: -- SiH₄ / H₂O=20 / 30sccm pressure: -- 0.1Pamu wave output: -- 1000WRF

bias: -- 400W (13.56MHz)

Wafer temperature: 200 degrees C [0047]

By forming the HDP film as an embedding oxide film 38, there is little film contraction and it serves as an isolation insulator layer which was excellent in step coverage nature (step coverage) also in the part where an aspect ratio is high. Moreover, as mentioned above in the operation gestalt 1, by applying the bias sputter method, it has a taper-like side attachment wall and the isolation insulator layer (STI) 36 to which flattening of the front face was carried out is formed.

[0048] Then, annealing of the embedding oxide film (SiO₂ film) 38 is performed on the same conditions as the operation gestalt 1. It embeds with the oxide film 37 of trench 36 wall, generating of the minute opening (void) in an interface with an oxide film 38 is controlled by this annealing, and smoothing of embedding oxide film 38 front face is also performed to coincidence. By the above, as shown in drawing 6 (B), it embeds in the trench 36 interior, and an oxide film 38 is embedded by good covering nature, and the embedding oxide film 38 serves as structure which remained by the thickness which is about 200nm on the large active field 33.

[0049] Then, as shown in drawing 7 (A), the organic film 42 (for example, commercial Si content i line photoresist) is applied about 200nm of thickness with

a spin coat method. After making a photoresist 43 deposit all over the upper layer of the organic film 42, as shown in drawing 7 (B), a line stepper is used for the photoresist 43 on the large active field 33 and the narrow active field 34, and opening is prepared in it.

[0050] Next, if etching of the organic film 42 and the embedding oxide film 38 is performed by using a photoresist 43 as a mask, it will become a configuration as shown in drawing 8 (B) through a configuration as shown in drawing 8 (A). Etching of the organic film 42 is performed on condition that the following. Equipment: MCR type Si etching system (refer to drawing 3)

gas: -- Cl₂ / O₂ = 50 / 10sccm pressure: -- 0.2Pa source mode output: -- 900WRF bias: -- 30W (450kHz)

wafer temperature: -- amount of 70-degree-C etching: -- 150nm [0051] Moreover, etching of the embedding oxide film 38 on the large active field 33 and the narrow active field 34 is performed on condition that the following.

gas: -- C₄ F₈ / helium = 20 / 100sccm pressure: -- 0.2Pa source mode output: -- 1000WRF bias: -- 150W (450kHz)

Wafer temperature: 70 degrees C [0052] In the process which etches the embedding oxide film 38 shown in drawing 8 (B), the etch selectivity of an oxide film is obtained 50 by 10 and the nitride for silicon (40) by the film for organic (42). Therefore, etching to the

embedding oxide film 38 in a trench 36 does not take place, but the good configuration of a component isolation region is maintained. Then, by performing ashing processing, as shown in drawing 9 (A), the organic film 42 and a photoresist 43 are removed.

[0053] Furthermore, if it embeds and CMP is performed to an oxide film 38, it will become the structure projected on the substrate front face as shown in drawing 9 (B). CMP can be performed on the same conditions as the operation gestalt 1. In the process shown in drawing 9 (B), since the thickness of the embedding oxide film 38 which remains on a substrate serves as homogeneity mostly all over the wafer, there are few amounts of polishes and they end. Therefore, dishing by which superfluous polish of the isolated active field 35 formed into the large isolation insulator layer is carried out hardly happens.

[0054] Then, etching using a hot phosphoric acid removes the SiN film 40. Furthermore, light etching using fluoric acid is performed and the pad oxide film 39 is removed. Thereby, depression of the embedding oxide film 38 in a trench edge can be suppressed within 20nm, and fluctuation of the transistor characteristics resulting from depression of a trench edge is controlled.

[0055] Furthermore, a sacrifice oxide film (un-illustrating) is formed by the well-known approach, and an impurity is

introduced into silicon substrate 31 front face. Then, gate oxide, a wiring metal layer, etc. are formed by the well-known approach on a silicon substrate 31. Thereby, flattening of the substrate front face is carried out to homogeneity, and the semiconductor device with which sufficient gate processing margin was secured is obtained. Also by the manufacture approach of the semiconductor device of this above-mentioned operation gestalt, STI of a uniform configuration can be formed in the semiconductor device with which the memory cell part and the circumference circuit part were loaded together.

[0056] (Operation gestalt 3) Drawing 10 (A) is a sectional view showing the substrate part of a semiconductor device manufactured by the manufacture approach of the semiconductor device of this operation gestalt. Like the sectional view shown in drawing 4 (A) in the above-mentioned operation gestalten 1 and 2, the memory cell field 32, the large active field 33, and the narrow active fields 34, such as DRAM, are relatively formed for component formation spacing as a narrow field on a silicon substrate 31, and, on the other hand, the isolated active field 35 is relatively formed for component formation spacing in the large field. STI36 for isolation is formed between each component, and the HDP film 38 which consists of silicon oxide is embedded through the oxide film 37 at

STI36.

[0057] Next, the manufacture approach of the semiconductor device of this operation gestalt is explained. First, like the operation gestalten 1 and 2, as shown in drawing 4 R> 4 (B), the thermal oxidation film is formed by about 10-20nm of thickness as a pad oxide film 39 on a silicon substrate 31. On the pad oxide film 39, the silicon nitride (SiN film) 40 which serves as a stopper layer in the CMP process mentioned later is formed by about 150-200nm of thickness for example, with a reduced pressure CVD method.

[0058] Next, after depositing a photoresist 41 on the whole surface, as shown in drawing 4 (C), a photolithography process performs patterning of an active field to a photoresist 41. As shown in drawing 5 (A) using a KrF excimer laser by using a photoresist 41 as a mask, etching of the SiN film 40 and the pad oxide film 39 is performed. Thereby, the tooth-space pattern of 0.3-micrometer [a minimum of] width of face is formed. Then, a photoresist 41 is removed.

[0059] Next, as shown in drawing 5 (B), a silicon substrate 31 is etched a depth of about 300-400nm by using as a mask the SiN film 40 by which patterning was carried out, and a trench 36 is formed between active fields. Etching for forming a trench 36 is performed on condition that the following using ICP type Si

etching system as [shown in drawing 3 (A)].

gas: -- Cl₂ / HBr=50 / 50sccm pressure: -- 0.4Pa source mode output: -- 2000W (2MHz)

RF bias: 120W (1.8MHz)

up electrode temperature: -- 250-degree-C

wafer temperature: -- 20 degrees C [0060]

Furthermore, it oxidizes thermally on the same conditions as the operation gestalten 1 and 2, and as shown in drawing 6 (A), the oxide film 37 of about 20nm of thickness is formed in the wall of a trench 36. Thereby, the damage of the silicon substrate 31 by dry etching recovers a certain extent. Moreover, since it becomes the configuration where the corner part of trench upper limit was roundish by forming an oxide film 37, in case it embeds at the continuing process and an oxide film (HDP film) 38 is made to deposit, it can prevent an opening (void) occurring.

[0061] Next, the above-mentioned trench 36 is made to deposit the embedding oxide film (HDP film) 38 using the ICP type high density plasma-CVD equipment as [shown in drawing 3 (A)]. This becomes structure as shown in drawing 10 (B). Formation of the embedding oxide film 38 is performed on condition that the following, and thickness may be about 600nm.

gas: -- SiH₄ / H₂ O=20 / 30sccm pressure: -- 0.1Pa source mode output: -- 2000W (2MHz)

RF bias: 200W (1.8MHz)

Wafer temperature: 200 degrees C [0062]

By using the HDP film as an embedding oxide film 38, there is little film contraction and it serves as an isolation insulator layer which was excellent in step coverage nature (step coverage) also in the part where an aspect ratio is high. Then, it embeds on the same conditions as the operation gestalten 1 and 2, and annealing of an oxide film (SiO₂ film) 38 is performed. It embeds with the oxide film 37 of trench 36 wall, generating of the minute opening (void) in an interface with an oxide film 38 is controlled by this annealing, and smoothing of embedding oxide film 38 front face is also performed to coincidence. By the above, as shown in drawing 10 R> 0 (B), it embeds in the trench 36 interior, and an oxide film 38 is embedded by good covering nature, and the embedding oxide film 38 serves as structure which remained by the thickness which is about 200nm on the large active field 33.

[0063] Then, as shown in drawing 10 (C), light etching is performed for 1 minute using fluoric acid 1%. Thereby, about 30nm of front faces of the embedding oxide film 38 is etched, and the embedding oxide film 38 on each active field serves as the configuration where it became independent mutually. Then, as shown in drawing 11 (A), the organic film 42 (for example, commercial Si content i line photoresist) is applied about 200nm

of thickness with a spin coat method. After making a photoresist 43 deposit all over the upper layer of the organic film 42, as shown in drawing 11 (B), a line stepper is used for the photoresist 43 on the large active field 33 and the narrow active field 34, and opening is prepared in it.

[0064] Next, if etching of the organic film 42 and the embedding oxide film 38 is performed by using a photoresist 43 as a mask, it will become a configuration as shown in drawing 13 (A) through a configuration as shown in drawing 12. Etching of the organic film 42 is performed on condition that the following.

Equipment: ICP type Si etching system (refer to drawing 3 (A))
gas: -- $\text{Cl}_2 / \text{O}_2 = 40 / 15$ sccm pressure: -- 0.4Pa source mode output: -- 1500W (2MHz)

RF bias: 60W (1.8MHz)

wafer temperature: -- amount of 20-degree-C etching: -- 100nm [0065] Moreover, etching of the embedding oxide film 38 on the large active field 33 and the narrow active field 34 is performed on condition that the following.

Solution: 5% The amount of fluoric-acid etching: 400nm [0066] In the process shown in drawing 13 (A), the active field 33 and the embedding oxide film 38 on 34 are removed alternatively and completely. Therefore, etching to the embedding oxide film 38 in a trench 36 does not take place, but the good configuration of a

component isolation region is maintained. Then, by performing ashing processing, as shown in drawing 13 (B), the organic film 42 and a photoresist 43 are removed. Furthermore, CMP is performed on the same conditions as the operation gestalten 1 and 2 to the embedding oxide film 38 projected on the substrate front face.

[0067] In the above-mentioned CMP process, since the thickness of the embedding oxide film 38 which remains on a substrate serves as homogeneity mostly all over the wafer, there are few amounts of polishes and they end. Therefore, dishing by which superfluous polish of the isolated active field 35 formed into the large isolation insulator layer is carried out hardly happens. Then, etching using a hot phosphoric acid removes the SiN film 40. Furthermore, light etching using fluoric acid is performed and the pad oxide film 39 is removed. Thereby, depression of the embedding oxide film 38 in a trench edge can be suppressed within 20nm, and fluctuation of the transistor characteristics resulting from depression of a trench edge is controlled.

[0068] Furthermore, a sacrifice oxide film (un-illustrating) is formed by the well-known approach, and an impurity is introduced into silicon substrate 31 front face. Then, gate oxide, a wiring metal layer, etc. are formed by the well-known approach on a silicon substrate 31.

Thereby, flattening of the substrate front face is carried out to homogeneity, and the semiconductor device with which sufficient gate processing margin was secured is obtained. Also by the manufacture approach of the semiconductor device of this above-mentioned operation gestalt, STI of a uniform configuration can be formed in the semiconductor device with which the memory cell part and the circumference circuit part were loaded together.

[0069] (Operation gestalt 4) Drawing 10 (A) is the sectional view of the substrate part of a semiconductor device manufactured by the manufacture approach of the semiconductor device of this operation gestalt, and the substrate of the same structure as the above-mentioned operation gestalten 1-3 is formed. Next, the manufacture approach of the semiconductor device of this operation gestalt is explained. First, like the operation gestalten 1-3, as shown in drawing 4 (B), the thermal oxidation film is formed by about 10-20nm of thickness as a pad oxide film 39 on a silicon substrate 31. On the pad oxide film 39, the silicon nitride (SiN film) 40 which serves as a stopper layer in the CMP process mentioned later is formed by about 150-200nm of thickness for example, with a reduced pressure CVD method.

[0070] Next, after depositing a photoresist 41 on the whole surface, as

shown in drawing 4 (C), a photolithography process performs patterning of an active field to a photoresist 41. As shown in drawing 5 (A) using a KrF excimer laser by using a photoresist 41 as a mask, etching of the SiN film 40 and the pad oxide film 39 is performed. Thereby, the tooth-space pattern of 0.3-micrometer [a minimum of] width of face is formed. Then, a photoresist 41 is removed.

[0071] Next, as shown in drawing 5 (B), a silicon substrate 31 is etched a depth of about 300-400nm by using as a mask the SiN film 40 by which patterning was carried out, and a trench 36 is formed between active fields. Etching for forming a trench 36 is performed on condition that the following using helicon wave plasma type Si etching system as [shown in drawing 3 (B)].

gas: -- Cl₂ / HBr=30 / 20sccm pressure: -- 0.2Pa source mode output: -- 2000W (13.56MHz)

RF bias: 120W (400kHz)

Wafer temperature: 20 degrees C [0072]

Furthermore, it oxidizes thermally on the same conditions as the operation gestalten 1-3, and as shown in drawing 6 (A), the oxide film 37 of about 20nm of thickness is formed in the wall of a trench 36. Thereby, the damage of the silicon substrate 31 by dry etching recovers a certain extent. Moreover, since it becomes the configuration where the corner part of trench upper limit was roundish by

forming an oxide film 42, in case it embeds at the continuing process and an oxide film (HDP film) 38 is made to deposit, it can prevent an opening (void) occurring.

[0073] Next, the above-mentioned trench 36 is made to deposit the embedding oxide film 38 using the helicon wave plasma type high density plasma-CVD equipment as [shown in drawing 3 (B)]. This becomes structure as shown in drawing 10 (B). Formation of the embedding oxide film 38 is performed on condition that the following, and thickness may be about 600nm.

gas: -- SiH₄ / H₂O = 30 / 20sccm pressure: -- 0.08Pa source mode output: -- 2500W (13.56MHz)

RF bias: 150W (400kHz)

Wafer temperature: 200 degrees C [0074] By forming the HDP film as an embedding oxide film 38, there is little film contraction and it serves as an isolation insulator layer which was excellent in step coverage nature (step coverage) also in the part where an aspect ratio is high. Moreover, of application of the bias sputter method, it has a taper-like side attachment wall and the isolation insulator layer (STI) 36 to which flattening of the front face was carried out is formed. Then, annealing of the embedding oxide film (SiO₂ film) 38 is performed on the same conditions as the operation gestalten 1-3. It embeds with the oxide film 42 of trench 36 wall,

generating of the minute opening (void) in an interface with an oxide film 38 is controlled by this annealing, and smoothing of embedding oxide film 38 front face is also performed to coincidence. By the above, as shown in drawing 10 (B), it embeds in the trench 36 interior, and an oxide film 38 is embedded by good covering nature, and the embedding oxide film 38 serves as structure which remained by the thickness which is about 200nm on the large active field 33.

[0075] Then, as shown in drawing 10 (C), light etching is performed for 1 minute using fluoric acid 1%. Thereby, about 30nm of front faces of the embedding oxide film 38 is etched, and the embedding oxide film 38 on each active field serves as the configuration where it became independent mutually. Then, as shown in drawing 11 (A), the organic film 42 (for example, commercial Si content i line photoresist) is applied about 200nm of thickness with a spin coat method. After making a photoresist 43 deposit in about 500nm of thickness all over the upper layer of the organic film 42, as shown in drawing 11 (B), i line stepper is used for the photoresist 43 on the large active field 33 and the narrow active field 34, and opening is prepared in it.

[0076] Next, if etching of the organic film 42 and the embedding oxide film 38 is performed by using a photoresist 43 as a mask, it will become a configuration as shown in drawing 13 (A) through a

configuration as shown in drawing 12 .
 Etching of the organic film 43 is performed on condition that the following.
 Equipment: Helicon wave plasma type Si etching system (refer to drawing 3 (B))
 gas: -- Cl₂ / O₂ =40 / 10sccm pressure: -- 0.1Pa source mode output: -- 2000W (13.56MHz)

RF bias: 50W (400kHz)

wafer temperature: -- amount of 20-degree-C etching: -- 100nm [0077]

Moreover, etching of the embedding oxide film 38 on the large active field 33 and the narrow active field 34 is performed on condition that the following.

Solution: 5% The amount of fluoric acid etching: 400nm [0078] In the process shown in drawing 13 (A), the active field 33 and the embedding oxide film 38 on 34 are removed alternatively and completely. Therefore, etching to the embedding oxide film 38 in a trench 36 does not take place, but the good configuration of a component isolation region is maintained. Then, by performing ashing processing, as shown in drawing 13 (B), the organic film 42 and a photoresist 43 are removed. Furthermore, CMP is performed to the embedding oxide film 38 projected on the substrate front face. CMP can be performed on the same conditions as the above-mentioned operation gestalten 1-3. [0079] In the above-mentioned CMP process, since the thickness of the embedding oxide film 38 which remains on a substrate serves as homogeneity

mostly all over the wafer, there are few amounts of polishes and they end. Therefore, dishing by which superfluous polish of the isolated active field 35 formed into the large isolation insulator layer is carried out hardly happens. Then, etching using a hot phosphoric acid removes the SiN film 40. Furthermore, light etching using fluoric acid is performed and the pad oxide film 39 is removed. Thereby, depression of the embedding oxide film 38 in a trench edge can be suppressed within 20nm, and fluctuation of the transistor characteristics resulting from depression of a trench edge is controlled.

[0080] Furthermore, a sacrifice oxide film (un-illustrating) is formed by the well-known approach, and an impurity is introduced into silicon substrate 31 front face. Then, gate oxide, a wiring metal layer, etc. are formed by the well-known approach on a silicon substrate 31. Thereby, flattening of the substrate front face is carried out to homogeneity, and the semiconductor device with which sufficient gate processing margin was secured is obtained. Also by the manufacture approach of the semiconductor device of this above-mentioned operation gestalt, STI of a uniform configuration can be formed in the semiconductor device with which the memory cell part and the circumference circuit part were loaded together.

[0081] The manufacture approach of the

semiconductor device of this invention is not limited to the gestalt of the above-mentioned operation. For example, the source of the etching plasma, an equipment configuration, etching process conditions, etc. can be changed suitably. In addition, it is the range which does not deviate from the summary of this invention, and various modification is possible.

[0082]

[Effect of the Invention] According to the manufacture approach of the semiconductor device of this invention, superfluous polish of an insulator layer is prevented and depression of a trench edge is controlled. Therefore, the level difference of a trench edge is reduced and a gate processing margin can fully be secured. Moreover, according to the manufacture approach of the semiconductor device of this invention, depression of a trench edge is controlled and the electric-field concentration in a trench edge is eased. Therefore, the fall of the transistor characteristics by a reverse narrow channel effect etc. can be prevented.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the

semiconductor fabrication machines and equipment used for the manufacture approach of the semiconductor device of this invention.

[Drawing 2] It is the sectional view of the semiconductor fabrication machines and equipment used for the manufacture approach of the semiconductor device of this invention.

[Drawing 3] It is the sectional view of the semiconductor fabrication machines and equipment used for the manufacture approach of the semiconductor device of this invention.

[Drawing 4] It is the sectional view showing the production process of the manufacture approach of the semiconductor device of this invention.

[Drawing 5] It is the sectional view showing the production process of the manufacture approach of the semiconductor device of this invention.

[Drawing 6] It is the sectional view showing the production process of the manufacture approach of the semiconductor device of this invention.

[Drawing 7] It is the sectional view showing the production process of the manufacture approach of the semiconductor device of this invention.

[Drawing 8] It is the sectional view showing the production process of the manufacture approach of the semiconductor device of this invention.

[Drawing 9] It is the sectional view showing the production process of the

manufacture approach of the semiconductor device of this invention.

[Drawing 10] It is the sectional view showing the production process of the manufacture approach of the semiconductor device of this invention.

[Drawing 11] It is the sectional view showing the production process of the manufacture approach of the semiconductor device of this invention.

[Drawing 12] It is the sectional view showing the production process of the manufacture approach of the semiconductor device of this invention.

[Drawing 13] It is the sectional view showing the production process of the manufacture approach of the semiconductor device of this invention.

[Drawing 14] It is the sectional view showing the production process of the manufacture approach of the conventional semiconductor device.

[Drawing 15] It is the sectional view showing the production process of the manufacture approach of the conventional semiconductor device.

[Drawing 16] It is the sectional view showing the production process of the manufacture approach of the conventional semiconductor device.

[Drawing 17] It is the sectional view showing the production process of the manufacture approach of the conventional semiconductor device.

[Drawing 18] It is the sectional view showing the production process of the

manufacture approach of the conventional semiconductor device.

[Description of Notations]

11 [-- Solenoid coil,] -- A magnetron, 12 -- A waveguide, 13 -- A quartz bell jar, 14 15 [-- RF generator,] -- A wafer, 16 -- A clamp, 17 -- A wafer stage, 18 19 [-- Heater,] -- An up electrode, 19' -- A side-attachment-wall electrode, 20 -- An inductive-coupling coil, 21 22 [-- Multipole magnet,] -- A source electrode, 23 -- An antenna, 24 -- A source chamber, 25 31 51 -- A silicon substrate, 32 -- A memory cell field, 33 -- A large active field, 34 -- A narrow active field, 35 -- An isolated active field, 36 -- STI, 37 55 -- 38 An oxide film, 56 -- Embedding oxide film (HDP; high density plasma film), 39 52 [-- The organic film, 58 / -- Depression of a trench edge.] -- 40 A pad oxide film, 53 -- A silicon nitride, 41, 43, 54, 57 -- A photoresist, 42

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-21827

(P2000-21827A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl.⁷

H 0 1 L 21/304
21/76

識別記号

6 2 2

F I

H 0 1 L 21/304
21/76

テームト* (参考)

6 2 2 X 5 F 0 3 2
L

審査請求 未請求 請求項の数20 O L (全 18 頁)

(21)出願番号

特願平10-188902

(22)出願日

平成10年7月3日(1998.7.3)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 長山 哲治

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5F032 AA35 AA44 AA45 AA77 BA02

CA17 DA03 DA04 DA23 DA24

DA33 DA53 DA74 DA78

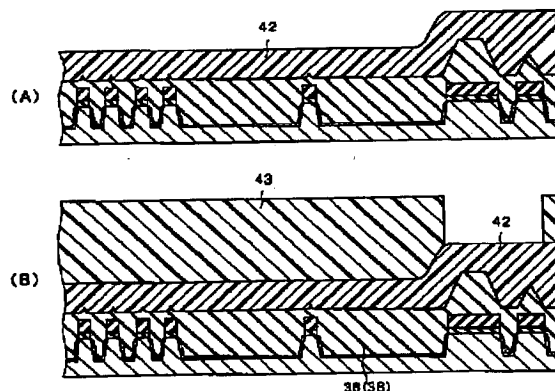
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

(修正有)

【課題】STIによる素子分離領域が形成された半導体装置において、トレンチ端部の落ち込みを低減することにより、ゲート加工マージンを確保でき、また、トランジスタ特性の変動を抑制できる半導体装置の製造方法を提供する。

【解決手段】素子分離用溝36に絶縁体を埋め込んで素子分離絶縁膜38を形成する工程と、前記絶縁体と比較してエッチング速度の遅い第1の耐腐食層42と、さらにエッチング速度の遅い第2の耐腐食層43を積層する工程と、少なくとも1つの素子形成領域上の第2の耐腐食層43に選択的に開口を設け、前記開口を介して前記第1の耐腐食層42および前記素子分離絶縁膜38をエッチングして除去する工程と、第1および第2の耐腐食層を除去し、基板上の素子分離絶縁膜を研磨して除去する工程とを有する半導体装置の製造方法。



(2)

1

【特許請求の範囲】

【請求項1】半導体基板上に複数の素子形成領域を含有する半導体装置の製造方法において、

前記半導体基板上に犠牲膜を形成する工程と、

前記半導体基板の前記犠牲膜が形成された領域内に、前記素子形成領域を分離するための素子分離用溝を形成する工程と、

前記素子分離用溝に絶縁体を、一部が前記半導体基板の基板面上に突出するように埋め込んで素子分離絶縁膜を形成する工程と、

全面に、前記絶縁体に比較してエッチング速度の遅い材料からなる第1の耐腐食層を形成する工程と、

全面に、前記第1の耐腐食層に比較してエッチング速度の遅い材料からなる第2の耐腐食層を形成する工程と、

少なくとも1つの素子形成領域上の前記第2の耐腐食層を選択的に除去して、前記第2の耐腐食層に開口を設ける工程と、

前記開口を介して、前記第1の耐腐食層および前記素子分離絶縁膜を順次エッチングして除去する工程と、

前記第1および第2の耐腐食層を除去する工程と、

前記基板面上に突出した前記素子分離絶縁膜を、研磨して除去する工程とを有する半導体装置の製造方法。

【請求項2】前記半導体基板は、素子形成間隔が相対的に狭い領域と、素子形成間隔が相対的に広い領域とを含有し、

前記第2の耐腐食層に開口を設ける工程は、前記素子形成間隔が相対的に狭い領域に形成された素子形成領域上の第2の耐腐食層を、選択的に除去する工程である請求項1記載の半導体装置の製造方法。

【請求項3】前記半導体基板は、シリコン基板からなり、

前記犠牲膜を形成する工程は、前記シリコン基板表面を熱酸化する工程である請求項1記載の半導体装置の製造方法。

【請求項4】前記素子分離用溝に前記絶縁体を埋め込む工程は、前記絶縁体の成膜ガスを供給し、前記絶縁体の一部をエッチングしながら、前記絶縁体を化学気相蒸着させる工程である請求項1記載の半導体装置の製造方法。

【請求項5】前記絶縁体は、酸化シリコンからなる請求項1記載の半導体装置の製造方法。

【請求項6】前記第1および第2の耐腐食層を形成する工程は、流動性の有機塗布膜を塗布して乾燥させる工程である請求項1記載の半導体装置の製造方法。

【請求項7】前記素子分離絶縁膜を形成する工程は、前記犠牲膜上に、前記絶縁体に比較して研磨速度の遅い材料からなるストッパー層を形成する工程と、

前記素子分離用溝内および前記ストッパー層上に、前記絶縁体を堆積させる工程とを有する請求項1記載の半導体装置の製造方法。

2

【請求項8】前記第1および第2の耐腐食層を除去した後、前記ストッパー層を除去する工程を有する請求項7記載の半導体装置の製造方法。

【請求項9】前記ストッパー層は、窒化シリコンからなる請求項8記載の半導体装置の製造方法。

【請求項10】前記ストッパー層を除去する工程は、ホットリン酸を用いた等方性エッチングである請求項9記載の半導体装置の製造方法。

【請求項11】半導体基板上に複数の素子形成領域を含有する半導体装置の製造方法において、

前記半導体基板上に犠牲膜を形成する工程と、

前記半導体基板の前記犠牲膜が形成された領域内に、前記素子形成領域を分離するための素子分離用溝を形成する工程と、

前記素子分離用溝に絶縁体を、一部が前記半導体基板の基板面上に突出するように埋め込んで素子分離絶縁膜を形成する工程と、

前記素子分離絶縁膜の表面にエッチングを行い、少なくとも前記素子形成領域端部に形成された前記素子分離絶縁膜を除去する工程と、

全面に、前記絶縁体に比較してエッチング速度の遅い材料からなる第1の耐腐食層を形成する工程と、

全面に、前記第1の耐腐食層に比較してエッチング速度の遅い材料からなる第2の耐腐食層を形成する工程と、

少なくとも1つの素子形成領域上の前記第2の耐腐食層を選択的に除去して、前記第2の耐腐食層に開口を設ける工程と、

前記開口を介して、前記第1の耐腐食層および前記素子分離絶縁膜を順次エッチングして除去する工程と、

前記第1および第2の耐腐食層を除去する工程と、

前記基板面上に突出した前記素子分離絶縁膜を、研磨して除去する工程とを有する半導体装置の製造方法。

【請求項12】前記半導体基板は、素子形成間隔が相対的に狭い領域と、素子形成間隔が相対的に広い領域とを含有し、

前記第2の耐腐食層に開口を設ける工程は、前記素子形成間隔が相対的に狭い領域に形成された素子形成領域上の第2の耐腐食層を、選択的に除去する工程である請求項11記載の半導体装置の製造方法。

【請求項13】前記半導体基板は、シリコン基板からなり、

前記犠牲膜を形成する工程は、前記シリコン基板表面を熱酸化する工程である請求項11記載の半導体装置の製造方法。

【請求項14】前記素子分離用溝に前記絶縁体を埋め込む工程は、前記絶縁体の成膜ガスを供給し、前記絶縁体の一部をエッチングしながら、前記絶縁体を化学気相蒸着させる工程である請求項11記載の半導体装置の製造方法。

【請求項15】前記絶縁体は、酸化シリコンからなる請求項11記載の半導体装置の製造方法。

【請求項16】前記絶縁体は、酸化シリコンからなる請求項11記載の半導体装置の製造方法。

(3)

3

求項11記載の半導体装置の製造方法。

【請求項16】前記第1および第2の耐腐食層を形成する工程は、流動性の有機塗布膜を塗布して乾燥させる工程である請求項11記載の半導体装置の製造方法。

【請求項17】前記素子分離絶縁膜を形成する工程は、前記犠牲膜上に、前記絶縁体に比較して研磨速度の遅い材料からなるストッパー層を形成する工程と、前記素子分離用溝内および前記ストッパー層上に、前記絶縁体を堆積させる工程とを有する請求項11記載の半導体装置の製造方法。

【請求項18】前記第1および第2の耐腐食層を除去した後、前記ストッパー層を除去する工程を有する請求項17記載の半導体装置の製造方法。

【請求項19】前記ストッパー層は、窒化シリコンからなる請求項18記載の半導体装置の製造方法。

【請求項20】前記ストッパー層を除去する工程は、ホットリン酸を用いた等方性エッチングである請求項19記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、STIが形成された基板表面を均一に平坦化させることにより、トレンチ端部の埋め込み酸化膜の落ち込みに起因するトランジスタ特性の変動や、ゲート加工マージンの不足が抑制される半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の微細化に伴い、素子分離領域の面積を縮小するための素子分離形成技術の開発が積極的に行われている。従来、汎用されてきた素子分離形成技術としてはLOCOS(local oxidation of silicon)法がある。LOCOS法においては、シリコン窒化膜をマスクとしてシリコン基板自体を熱酸化させるため、プロセスが簡潔であり、酸化膜の素子応力の問題も少なく、生成される酸化膜の膜質も優れるという特徴をもつ。

【0003】しかしながら、半導体装置の微細化が進行して0.25 μ m世代に本格的に移行すると、LOCOS法の適用は限界になると予想されている。LOCOS法によれば、熱酸化によりLOCOS端部にパーズピークが発生してアクティブ領域の面積が減少したり、表面段差が著しくなるという問題がある。また、LOCOS法は素子形成間隔が広い領域、例えば周辺回路部分には、特に問題なく適用することができるが、素子形成間隔が狭い領域、例えばメモリセル部分に適用すると、LOCOS形成のための熱酸化工程が十分に進行しにくい。したがって、周辺回路部分に比較して、メモリセル部分など素子形成間隔が狭い領域ではLOCOSが薄く形成され易く、絶縁特性が低下する場合もある。

【0004】上記のような問題を解消するため、素子分

4

離形成技術はLOCOS法からSTI(Shallow Trench Isolation)を形成する方法に移行してきている(例えば、特開昭57-176762号公報、特開昭60-53045号公報および特開平9-172007号公報記載の半導体装置の素子分離膜形成方法や、セミコンワールド96年7月号掲載の総説参照)。STI技術によれば、基板表面に溝を形成して絶縁物を埋め込むため、設計寸法からの寸法差が少なくなり、微細化に適している。また、絶縁膜を埋め込んだ後は何らかの方法で表面を平坦化させるため、十分な表面平坦性が要求される、高精度なリソグラフィ加工を行う場合にも適している。

【0005】従来のSTI技術による素子分離形成方法を、図14～図18を参照して以下に説明する。図14(A)に示すように、シリコン基板51上に、素子形成間隔が相対的に狭い領域としてDRAM等のメモリセル部分(領域A)、広いアクティブ領域および狭いアクティブ領域を有する部分(領域B)、一方、素子形成間隔が相対的に広い領域内に孤立アクティブ領域を有する部分(領域C)を形成する。

【0006】まず、図14(A)に示すようにシリコン基板51上に犠牲膜(パッド酸化膜)52を膜厚10～20nm程度で形成する。パッド酸化膜52上にSiN膜53を、例えばCVD法により膜厚150～200nm程度で形成する。次に、フォトレジスト54を全面に堆積してから、フォトリソグラフィ工程によりフォトレジスト54にアクティブ領域のパターニングを行うと、図14(B)に示すような構造となる。フォトレジスト54をマスクとしてSiN膜53およびパッド酸化膜52のエッチングを行ってから、フォトレジスト54を除去すると図15(A)に示すような構造となる。

【0007】次に、図15(B)に示すように、パターニングされたSiN膜53をマスクとしてシリコン基板51を深さ300～400nm程度エッチングし、アクティブ領域間にトレンチを形成する。さらに、熱酸化を行い、トレンチの底部および側壁に熱酸化膜55を形成する。これにより、図16(A)に示すような構造となる。次に、酸化シリコンからなる埋め込み酸化膜(HDP; high density plasma膜)56を上記のトレンチに埋め込む。これにより、図16(B)に示すような構造となる。

【0008】続いて、CMP(chemical mechanical polishing)法により埋め込み酸化膜56表面の平坦化を行う。CMPによる研磨を全面に均一に行うために、埋め込み酸化膜56表面の凸部は、CMPを行う前に予め除去する。図17(A)に示すように、領域B以外を被覆するようなフォトレジスト57を形成し、フォトレジスト57をマスクとして領域B上の埋め込み酸化膜56をエッチングにより除去する。その後、フォトレジスト57を除去すると図17

(4)

5

(B)に示すような構造となる。さらに、エッチングによりSiN膜53およびパッド酸化膜52を除去することにより、シリコン基板51上にSTIが形成される。

【0009】

【発明が解決しようとする課題】上記のようなSTI技術は、次世代デバイスへの適用が不可欠になってきているが、実用化にはまだ課題が多い。例えば、上記の図17(A)に示される、領域B上の埋め込み酸化膜56をエッチングする工程においては、レジストマスク形成時のアライメント精度の制約から、領域Bの上部の埋め込み酸化膜56を完全に除去するのは困難である。具体的には、図17(A)に示される工程において、アライメントずれによりフォトレジスト57の開口部がトレンチ上に延びるのを回避するため、フォトレジスト57の開口部は、広いアクティブ領域の中心近傍に限定して設けられる。したがって、図17(B)に示すように、埋め込み酸化膜56をエッチングした後の広いアクティブ領域(領域B)上には、メモリセル部分等の領域Aに比較して、厚い埋め込み酸化膜56が残存する。

【0010】領域B上に残存した、厚い埋め込み酸化膜56が除去されるまでCMPを行うと、図18(A)に示すように、狭いアクティブ領域(領域C)上部が過剰に研磨され、いわゆるディッシング(dishing)が起こる。さらに、CMPの後、ゲート酸化膜を形成する前に、フッ酸系のエッチング液を用いた等方性エッチングを行ってパッド酸化膜52を除去する。このパッド酸化膜52を除去する工程において、埋め込み酸化膜56のエッジ部分もフッ酸系エッチング液により削り取られるため、結果的に、いずれの領域においてもトレンチ端部の落ち込み58が発生し、大きな段差となる。この段差によりゲート加工マージンが著しく減少し、半導体装置の微細化の妨げとなっている。

【0011】また、上記の素子分離領域に生じる段差は、埋め込み酸化膜56をCMPにより平坦化する際、CMP研磨の特性として、酸化膜とSiN膜のエッチングの選択比がアクティブ領域の面積率に応じて変化することによっても助長されている。具体的には、図18

(A)に示すように広い素子分離絶縁膜に囲まれた孤立アクティブ領域(領域C)においては、対SiN膜の選択比が確保できないため、埋め込み酸化膜56が過剰研磨される。逆に、アクティブ領域の面積率が高い箇所(領域B)においては対SiN膜の選択比が確保されるため、研磨速度が遅くなる。したがって、研磨が全面で均一に進行せず、例えばDRAM等のメモリセルとロジックを混載したチップにおいてはメモリセル部分とロジック部分とでSTIの形状が異なってしまう、トランジスタの特性が低下する場合がある。

【0012】また、特にメモリセル部分(領域A)において、図18(B)に示すようにシリコン基板51よりも埋め込み酸化膜56の方が突出した状態となり、ゲ-

6

ト電極加工時にポリシリコンの除去が不完全となる場合もある。一方、ロジック部分の孤立アクティブ領域(領域C)近傍においては、CMPによる研磨が過剰に進行し、図18(C)に示すように埋め込み酸化膜26がシリコン基板21表面よりも陥没した状態となる。

【0013】上記のような問題以外にも、STI形成後に素子分離領域間に形成されるゲート酸化膜が劣化し易くなる等、埋め込み酸化膜56のエッジ部分の落ち込み58によりトランジスタ特性が低下する。本発明は上記の問題点を鑑みてなされたものであり、したがって本発明は、基板表面を均一に平坦化させることにより、トレンチ端部に十分なゲート加工マージンを確保できる半導体装置の製造方法を提供することを目的とする。また、本発明は、トレンチ端部における埋め込み酸化膜の段差に起因する、トランジスタ特性の変動を抑制できる半導体装置の製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に複数の素子形成領域を含有する半導体装置の製造方法において、前記半導体基板上に犠牲膜を形成する工程と、前記半導体基板の前記犠牲膜が形成された領域内に、前記素子形成領域を分離するための素子分離用溝を形成する工程と、前記素子分離用溝に絶縁体を、一部が前記半導体基板の基板面上に突出するように埋め込んで素子分離絶縁膜を形成する工程と、全面に、前記絶縁体に比較してエッチング速度の遅い材料からなる第1の耐腐食層を形成する工程と、全面に、前記第1の耐腐食層に比較してエッチング速度の遅い材料からなる第2の耐腐食層を形成する工程と、少なくとも1つの素子形成領域上の前記第2の耐腐食層を選択的に除去して、前記第2の耐腐食層に開口を設ける工程と、前記開口を介して、前記第1の耐腐食層および前記素子分離絶縁膜を順次エッチングして除去する工程と、前記第1および第2の耐腐食層を除去する工程と、前記基板面上に突出した前記素子分離絶縁膜を、研磨して除去する工程とを有することを特徴とする。

【0015】本発明の半導体装置の製造方法は、好適には、前記半導体基板は、素子形成間隔が相対的に狭い領域と、素子形成間隔が相対的に広い領域とを含有し、前記第2の耐腐食層に開口を設ける工程は、前記素子形成間隔が相対的に狭い領域に形成された素子形成領域上の第2の耐腐食層を、選択的に除去する工程であることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記半導体基板は、シリコン基板からなり、前記犠牲膜を形成する工程は、前記シリコン基板表面を熱酸化する工程であることを特徴とする。

【0016】本発明の半導体装置の製造方法は、好適には、前記素子分離用溝に前記絶縁体を埋め込む工程は、前記絶縁体の成膜ガスを供給し、前記絶縁体の一部をエ

(5)

7

ツチングしながら、前記絶縁体を化学気相蒸着させる工程であることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記絶縁体は酸化シリコンからなることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記第1および第2の耐腐食層を形成する工程は、流動性の有機塗布膜を塗布して乾燥させる工程であることを特徴とする。

【0017】本発明の半導体装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程は、前記犠牲膜上に、前記絶縁体に比較して研磨速度の遅い材料からなる10 ストッパー層を形成する工程と、前記素子分離用溝内および前記ストッパー層上に、前記絶縁体を堆積させる工程とを有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記第1および第2の耐腐食層を除去した後、前記ストッパー層を除去する工程を有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記ストッパー層は、窒化シリコンからなることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記ストッパー層を除去する工程は、ホットリン酸を用いた等方性エッチングであることを特徴とする。

【0018】これにより、素子形成間隔が相対的に狭い領域に形成された、広いアクティブ領域上の素子分離絶縁膜をエッチバックする工程において、第1および第2の耐腐食層により基板表面が保護されるため、トレンチ内の絶縁体は過剰にエッチングされない。また、第1の耐腐食層の上層に第2の耐腐食層を形成し、第2の耐腐食層に開口を設けるため、耐腐食層を1層形成して開口を設ける場合に比べて、マージンが大きくなる。したがって、アライメント精度を十分に上げなくても、トレン20 チ内の絶縁体がエッチングされるのを防ぐことができる。

【0019】上記のように、本発明の半導体装置の製造方法によれば、素子形成間隔が狭い領域、例えばDRAM等のメモセル部分と、素子形成間隔が広い領域、例えば周辺回路部分とを混載した半導体装置においても均一な形状のSTIが形成される。したがって、トレンチ端部の落ち込みが低減され、ゲート加工マージンを拡張させることができる。また、トレンチ端部の落ち込みに起因するトランジスタ特性の変動も抑制される。

【0020】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に複数の素子形成領域を含有する半導体装置の製造方法において、前記半導体基板上に犠牲膜を形成する工程と、前記半導体基板の前記犠牲膜が形成された領域内に、前記素子形成領域を分離するための素子分離用溝を形成する工程と、前記素子分離用溝に絶縁体を、一部が前記半導体基板の基板面上に突出するように埋め込んで素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜の表面にエッチングを行い、少なくとも前記素子形成領域端部に形成され

8

た前記素子分離絶縁膜を除去する工程と、全面に、前記絶縁体に比較してエッチング速度の遅い材料からなる第1の耐腐食層を形成する工程と、全面に、前記第1の耐腐食層に比較してエッチング速度の遅い材料からなる第2の耐腐食層を形成する工程と、少なくとも1つの素子形成領域上の前記第2の耐腐食層を選択的に除去して、前記第2の耐腐食層に開口を設ける工程と、前記開口を介して、前記第1の耐腐食層および前記素子分離絶縁膜を順次エッチングして除去する工程と、前記第1および第2の耐腐食層を除去する工程と、前記基板面上に突出した前記素子分離絶縁膜を、研磨して除去する工程とを有することを特徴とする。

【0021】これにより、有機膜などからなる第1の耐腐食層を塗布する前に、トレンチ上とアクティブ領域上の埋め込み材料（絶縁体）が分離する。したがって、アクティブ領域端部のストッパー層（シリコン窒化膜）が露出して、上層に形成される第1の耐腐食層と接触する。すなわち、トレンチ内の埋め込み材料（絶縁体）が完全に被覆された状態となるため、オーバーエッチあるいは過剰研磨により、トレンチ端部に落ち込みが発生するのを防止できる。トレンチ端部の段差が低減されることにより、ゲート加工マージンを拡張することができ25 る。また、トレンチ端部の落ち込みに起因するトランジスタ特性の変動も抑制される。

【0022】

【発明の実施の形態】以下に、本発明の半導体装置の製造方法の実施の形態について、図面を参照して下記に説明する。まず、本発明の半導体装置の製造方法の、トレンチ内に埋め込み酸化膜を堆積させる工程に用いられる装置について、図1～図3を参照して説明する。本発明の製造方法においては、埋め込み酸化膜を形成するための装置として、従来のプラズマCVD装置を用いることも可能であるが、高精度に形状の制御を行えるという観点から、好適には、低圧・高密度プラズマを発生するCVD装置を用いる。

【0023】図1は、高周波（RF）バイアス印加型ECR（マイクロ波電子サイクロトロン共鳴）プラズマ処理装置の概略図である。図1に示す装置においては、マグネトロン11で発生したマイクロ波が、導波管12、石英ベルジャー13を介してウェハ15に到達する。ウェハ15はウェハステージ17上に、単極式静電チャックもしくはクランプ16により固定されている。

【0024】図2は、MCR（磁場封じ込めリアクター）プラズマ処理装置の概略図である。図2に示す装置においては、石英製の側壁電極19'に、高周波電源18から13.56MHzの高周波を照射し、上部電極19をアノードとして放電させた後、上部電極19またはチェンバー側壁に巻かれたマルチポール磁石（不図示）で磁場封じ込めを行って、比較的高濃度のプラズマを発生させる。

50

(6)

9

【0025】図3(A)は、誘導結合プラズマ(ICP)タイプのプラズマ処理装置の概略図である。図3(A)に示す装置においては、高周波電源18からチェンバー側壁に巻かれた誘導結合コイル20に、2MHzの高周波(RF)を印加し、高密度プラズマを発生させる。

【0026】図3(B)は、ヘリコン波プラズマタイプのプラズマ処理装置の概略図である。図3(B)に示す装置においては、ソース電源22からアンテナ23にRFを印加すると、ソレノイドコイル14により形成される磁場と相互作用する。これにより、ソースチェンバー24内にホイッスラー波(ヘリコン波)が発生し、結果的に生じる高密度プラズマがウェハ15に到達する。また、上記の装置にはいずれも、高周波電源18を具備したウェハステージ17に温度制御用の冷媒が循環する(不図示)。さらに、単極式静電チャックを設置して-50~300℃の温度制御が可能となっている。

【0027】(実施形態1)図4(A)は本実施形態の半導体装置の製造方法により製造される、半導体装置の基板部分を表す断面図である。シリコン基板31上に、素子形成間隔が相対的に狭い領域としてDRAM等のメモリセル領域32、広いアクティブ領域33および狭いアクティブ領域34が形成され、一方、素子形成間隔が相対的に広い領域内に孤立アクティブ領域35が形成されている。各素子間には素子分離のためのSTI36が形成されており、STI36には酸化膜37を介して、酸化シリコンからなるHDP膜38が埋め込まれている。

【0028】次に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図4(B)に示すように、シリコン基板31上にパッド酸化膜39として熱酸化膜を膜厚10~20nm程度で形成する。パッド酸化膜39は、後述する素子分離絶縁膜形成工程において、酸化防止マスクとして用いられるSiN膜40のストレスがシリコン基板31に影響を及ぼすのを防ぐ目的で設けられる。パッド酸化膜39上に、後述するCMP工程においてストッパー層となるシリコン窒化膜(SiN膜)40を、例えば減圧CVD法により膜厚150~200nm程度で形成する。

【0029】次に、フォトレジスト41を全面に堆積してから、図4(C)に示すように、フォトリソグラフィ工程によりフォトレジスト41にアクティブ領域のパターニングを行う。フォトレジスト41をマスクとしてKrFエキシマレーザーを用い、図5(A)に示すように、SiN膜40およびパッド酸化膜39のエッチングを行う。これにより、最小0.3μm幅のスペースパターンが形成される。その後、フォトレジスト41を除去する。

【0030】次に、図5(B)に示すように、パターニングされたSiN膜40をマスクとしてシリコン基板3

10

1を深さ300~400nm程度エッチングし、アクティブ領域間にトレンチ36を形成する。トレンチ36を形成するためのエッチングは、例えば、図1に示すようなECRタイプのSiエッチング装置を用いて、以下の条件で行う。

ガス: Cl₂ / HBr = 50 / 30 sccm

圧力: 0.2 Pa

μ波出力: 900 W

RFバイアス: 60 W (800 kHz)

ウェハ温度: 20℃

【0031】さらに、熱酸化を行い、図6(A)に示すようにトレンチ36の内壁に膜厚20nm程度の酸化膜37を形成する。この熱酸化は、例えば、塩酸を1%含有するドライ酸化雰囲気中、1000℃で行う。トレンチ36を形成するためシリコン基板31にドライエッチングを行うと、シリコン基板31にダメージが与えられるが、熱酸化により酸化膜37を形成すると、シリコン基板31のダメージがある程度、回復する。また、酸化膜37を形成することによりトレンチ上端のコーナー部分が丸みを帯びた形状となるため、続く工程で埋め込み酸化膜(HDP膜)38を堆積させる際に空隙(ボイド)が発生するのを防ぐことができる。

【0032】次に、図1に示すようなECRタイプの高密度プラズマCVD装置を用いて、埋め込み酸化膜38を上記のトレンチ36に堆積させる。これにより、図6(B)に示すような構造となる。埋め込み酸化膜38の形成は、例えば、以下の条件で行い、膜厚は600nm程度とする。

ガス: SiH₄ / H₂O = 20 / 30 sccm

圧力: 0.1 Pa

μ波出力: 1000 W

RFバイアス: 400 W (13.56 MHz)

ウェハ温度: 200℃

【0033】埋め込み酸化膜38としてHDP膜を使用することにより、膜収縮が少なく、アスペクト比が高い箇所においても段差被覆性(ステップカバレッジ)に優れた素子分離絶縁膜となる。また、バイアススパッタ法の適用、すなわち、埋め込み酸化膜38を堆積させる際に、シリコン基板31側にもセルフバイアスがかかるように高周波電力を印加して、シリコン基板31上で絶縁膜(酸化膜)をエッチングしながら堆積させることにより、テーパ状の側壁をもつ素子分離絶縁膜(STI)36が形成される。バイアススパッタ法によれば、平坦面と段差側面でスパッタ/エッチング速度が異なるため、プラズマが素子特性に損傷を与えない範囲でセルフバイアス条件を適当に選択することにより、平坦化された表面が得られる。

【0034】続いて、埋め込み酸化膜38のアニールを行う。このアニールにより、トレンチ36内壁の酸化膜37と埋め込み酸化膜38との界面における微小な空隙

(7)

11

(ボイド)の発生が抑制され、同時に、埋め込み酸化膜38表面の平滑化も行われる。アニールは、例えば、以下の条件で行う。

装置：市販の熱酸化炉

ガス：Pyro比1.0

ウェハ温度：900℃

時間：30分

以上により、図6(B)に示すように、トレンチ36内部には、埋め込み酸化膜38が良好な被覆性で埋め込まれ、広いアクティブ領域33上には、埋め込み酸化膜38が例えば約200nmの厚さで残存した構造となる。

【0035】その後、図7(A)に示すように、有機膜42(例えば、DUV-42, Brewer Science社)をスピンコート法により膜厚200nm程度、塗布する。有機膜42の上層の全面に、フォトレジスト43を堆積させてから、図7(B)に示すように、広いアクティブ領域33および狭いアクティブ領域34上のフォトレジスト43に開口を設ける。フォトレジスト43のパターニングは、例えば、i線ステッパーを用いて行う。

【0036】次に、フォトレジスト43をマスクとして有機膜42および埋め込み酸化膜38のエッチングを行うと、図8(A)に示すような形状を経て、図8(B)に示すような形状となる。有機膜42のエッチングは、例えば以下の条件で行う。

装置：ECRタイプのSiエッチング装置(図1参照)

ガス： $\text{Cl}_2/\text{O}_2 = 50/20 \text{ sccm}$

圧力：0.2Pa

μ 波出力：900W

RFバイアス：60W

ウェハ温度：20℃

エッチング量：150nm

【0037】また、広いアクティブ領域33および狭いアクティブ領域34上の埋め込み酸化膜38のエッチングは、例えば以下の条件で行う。

ガス： $\text{C}_4\text{F}_8/\text{He} = 50/100 \text{ sccm}$

圧力：0.2Pa

μ 波出力：1000W

RFバイアス：250W(800kHz)

ウェハ温度：20℃

【0038】図8(B)に示される、埋め込み酸化膜38をエッチングする工程においては、酸化膜のエッチング選択比が対有機膜(42)で8、対シリコン窒化膜(40)で50得られる。したがって、トレンチ36内の埋め込み酸化膜38に対するエッチングは起こらず、素子分離領域の良好な形状が維持される。その後、アッシング処理を行うことにより、図9(A)に示すように、有機膜42およびフォトレジスト43を除去する。

【0039】さらに、基板表面に突出した埋め込み酸化膜38に対してCMPを行うと、図9(B)に示すよう

12

な構造となる。CMPは例えば以下の条件で行う。

装置：市販のCMP装置

圧力：300g/cm²

回転数：30rpm(ヘッド)、30rpm(テープル)

時間：20秒

研磨布：ポリウレタン発砲体の下に不織布を積層させたもの、例えば、IC1000/suba400(ローデル社製)

10 研磨剤(スラリー)：塩基性水溶液にフュードシリカを分散させたもの、例えば、IC112(CABOT社製)

【0040】図9(B)に示される工程においては、基板上に残存する埋め込み酸化膜38の膜厚がウェハ全面でほぼ均一となっているため、研磨量は少なくて済む。したがって、広い素子分離絶縁膜中に形成された孤立アクティブ領域35が過剰研磨されるディッシングは、ほとんど起こらない。その後、ホットリン酸を用いたエッチングによりSiN膜40を除去する。さらに、フッ酸を用いたライトエッチングを行い、パッド酸化膜39を除去する。これにより、トレンチ端部における埋め込み酸化膜38の落ち込みを20nm以内に抑えることができ、トレンチ端部の落ち込みに起因するトランジスタ特性の変動が抑制される。

20 【0041】さらに、公知の方法により犠牲酸化膜(不図示)を形成してシリコン基板31表面に不純物の導入を行う。続いて、シリコン基板31上にゲート酸化膜、配線金属層などを公知の方法により形成する。これにより、基板表面が均一に平坦化され、十分なゲート加工マージンが確保された半導体装置が得られる。上記の本実施形態の半導体装置の製造方法によれば、メモリセル部分と周辺回路部分とが混載された半導体装置においても均一な形状のSTIを形成することができる。

【0042】(実施形態2)本実施形態の製造方法によっても、上記の実施形態1と同様に、図4(A)に示すような半導体装置が得られる。次に、本実施形態の半導体装置の製造方法について説明する。まず、実施形態1と同様、図4(B)に示すように、シリコン基板31上にパッド酸化膜39として熱酸化膜を膜厚10~20nm程度で形成する。パッド酸化膜39上に、後述するCMP工程においてストッパー層となるシリコン窒化膜(SiN膜)40を、例えば減圧CVD法により膜厚150~200nm程度で形成する。

40 【0043】次に、フォトレジスト41を全面に堆積してから、図4(C)に示すように、フォトリソグラフィ工程によりフォトレジスト41にアクティブ領域のパターニングを行う。フォトレジスト41をマスクとしてKrFエキシマレーザを用い、図5(A)に示すように、SiN膜40およびパッド酸化膜39のエッチングを行う。これにより、最小0.3 μ m幅のスペースパタ

50

(8)

13

ーンが形成される。その後、フォトレジスト41を除去する。

【0044】次に、図5(B)に示すように、パターニングされたSiN膜40をマスクとしてシリコン基板31を深さ300~400nm程度エッチングし、アクティブ領域間にトレンチ36を形成する。トレンチ36を形成するためのエッチングは、例えば、図2に示すようなMCRタイプのSiエッチング装置を用いて、以下の条件で行う。

ガス：Cl₂/HBr=50/40 sccm

圧力：0.2 Pa

ソース出力：1000W

RFバイアス：40W (450 kHz)

ウェハ温度：70℃

【0045】さらに、実施形態1と同様な条件で熱酸化を行い、図6(A)に示すように、トレンチ36の内壁に膜厚20nm程度の酸化膜37を形成する。これにより、ドライエッチングによるシリコン基板31のダメージが、ある程度は回復する。また、酸化膜37を形成することによりトレンチ上端のコーナー部分が丸みを帯びた形状となるため、続く工程で埋め込み酸化膜(HDP膜)38を堆積させる際に空隙(ボイド)が発生するのを防ぐことができる。

【0046】次に、図1に示すようなECRタイプの高密度プラズマCVD装置を用いて、埋め込み酸化膜(HDP膜)38を上記のトレンチ36に堆積させる。これにより、図6(B)に示すような構造となる。埋め込み酸化膜38の形成は、例えば、以下の条件で行い、膜厚は600nm程度とする。

ガス：SiH₄/H₂O=20/30 sccm

圧力：0.1 Pa

μ波出力：1000W

RFバイアス：400W (13.56 MHz)

ウェハ温度：200℃

【0047】埋め込み酸化膜38としてHDP膜を形成することにより、膜収縮が少なく、アスペクト比が高い箇所においても段差被覆性(ステップカバレッジ)に優れた素子分離絶縁膜となる。また、実施形態1において前述したように、バイアスパッタ法を適用することにより、テーパ状の側壁をもち、表面が平坦化された素子分離絶縁膜(STI)36が形成される。

【0048】続いて、実施形態1と同様な条件で、埋め込み酸化膜(SiO₂膜)38のアニールを行う。このアニールにより、トレンチ36内壁の酸化膜37と埋め込み酸化膜38との界面における微小な空隙(ボイド)の発生が抑制され、同時に、埋め込み酸化膜38表面の平滑化も行われる。以上により、図6(B)に示すように、トレンチ36内部には埋め込み酸化膜38が良好な被覆性で埋め込まれ、広いアクティブ領域33上に、埋め込み酸化膜38が例えば約200nmの厚さで残存し

14

た構造となる。

【0049】その後、図7(A)に示すように、有機膜42(例えば、市販のSi含有i線フォトレジスト)をスピコート法により膜厚200nm程度、塗布する。有機膜42の上層の全面に、フォトレジスト43を堆積させてから、図7(B)に示すように、広いアクティブ領域33および狭いアクティブ領域34上のフォトレジスト43に、i線ステッパーを用いて開口を設ける。

【0050】次に、フォトレジスト43をマスクとして有機膜42および埋め込み酸化膜38のエッチングを行うと、図8(A)に示すような形状を経て、図8(B)に示すような形状となる。有機膜42のエッチングは、例えば以下の条件で行う。

装置：MCRタイプのSiエッチング装置(図3参照)

ガス：Cl₂/O₂=50/10 sccm

圧力：0.2 Pa

ソース出力：900W

RFバイアス：30W (450 kHz)

ウェハ温度：70℃

エッチング量：150nm

【0051】また、広いアクティブ領域33および狭いアクティブ領域34上の埋め込み酸化膜38のエッチングは、例えば以下の条件で行う。

ガス：C₄F₈/He=20/100 sccm

圧力：0.2 Pa

ソース出力：1000W

RFバイアス：150W (450 kHz)

ウェハ温度：70℃

【0052】図8(B)に示される、埋め込み酸化膜38をエッチングする工程においては、酸化膜のエッチング選択比が対有機膜(42)で10、対シリコン窒化膜(40)で50得られる。したがって、トレンチ36内の埋め込み酸化膜38に対するエッチングは起こらず、素子分離領域の良好な形状が維持される。その後、アッシング処理を行うことにより、図9(A)に示すように、有機膜42およびフォトレジスト43を除去する。

【0053】さらに、基板表面に突出した埋め込み酸化膜38に対してCMPを行うと、図9(B)に示すような構造となる。CMPは実施形態1と同様な条件で行うことができる。図9(B)に示される工程においては、基板上に残存する埋め込み酸化膜38の膜厚がウェハ全面でほぼ均一となっているため、研磨量は少なく済む。したがって、広い素子分離絶縁膜中に形成された孤立アクティブ領域35が過剰研磨されるディッシングは、ほとんど起こらない。

【0054】その後、ホットリン酸を用いたエッチングによりSiN膜40を除去する。さらに、フッ酸を用いたライトエッチングを行い、パッド酸化膜39を除去する。これにより、トレンチ端部における埋め込み酸化膜38の落ち込みを20nm以内に抑えることができ、ト

(9)

15

レンチ端部の落ち込みに起因するトランジスタ特性の変動が抑制される。

【0055】さらに、公知の方法により犠牲酸化膜（不図示）を形成してシリコン基板31表面に不純物の導入を行う。続いて、シリコン基板31上にゲート酸化膜、配線金属層などを公知の方法により形成する。これにより、基板表面が均一に平坦化され、十分なゲート加工マージンが確保された半導体装置が得られる。上記の本実施形態の半導体装置の製造方法によっても、メモリセル部分と周辺回路部分とが混載された半導体装置において、均一な形状のSTIを形成することができる。

【0056】（実施形態3）図10（A）は本実施形態の半導体装置の製造方法により製造される、半導体装置の基板部分を表す断面図である。上記の実施形態1、2における図4（A）に示された断面図と同様に、シリコン基板31上に、素子形成間隔が相対的に狭い領域としてDRAM等のメモリセル領域32、広いアクティブ領域33および狭いアクティブ領域34が形成され、一方、素子形成間隔が相対的に広い領域内に孤立アクティブ領域35が形成されている。各素子間には素子分離のためのSTI36が形成されており、STI36には酸化膜37を介して、酸化シリコンからなるHDP膜38が埋め込まれている。

【0057】次に、本実施形態の半導体装置の製造方法について説明する。まず、実施形態1、2と同様に、図4（B）に示すように、シリコン基板31上にパッド酸化膜39として熱酸化膜を膜厚10～20nm程度で形成する。パッド酸化膜39上に、後述するCMP工程においてストッパー層となるシリコン窒化膜（SiN膜）40を、例えば減圧CVD法により膜厚150～200nm程度で形成する。

【0058】次に、フォトレジスト41を全面に堆積してから、図4（C）に示すように、フォトリソグラフィ工程によりフォトレジスト41にアクティブ領域のパターニングを行う。フォトレジスト41をマスクとしてRfエキシマレーザーを用い、図5（A）に示すように、SiN膜40およびパッド酸化膜39のエッチングを行う。これにより、最小0.3μm幅のスペースパターンが形成される。その後、フォトレジスト41を除去する。

【0059】次に、図5（B）に示すように、パターニングされたSiN膜40をマスクとしてシリコン基板31を深さ300～400nm程度エッチングし、アクティブ領域間にトレンチ36を形成する。トレンチ36を形成するためのエッチングは、図3（A）に示すようなICPタイプのSiエッチング装置を用いて、以下の条件で行う。

ガス：Cl₂ / HBr = 50 / 50 sccm

圧力：0.4Pa

ソース出力：2000W（2MHz）

16

RFバイアス：120W（1.8MHz）

上部電極温度：250℃

ウェハ温度：20℃

【0060】さらに、実施形態1、2と同様の条件で熱酸化を行い、図6（A）に示すようにトレンチ36の内壁に膜厚20nm程度の酸化膜37を形成する。これにより、ドライエッチングによるシリコン基板31のダメージが、ある程度は回復する。また、酸化膜37を形成することによりトレンチ上端のコーナー部分が丸みを帯びた形状となるため、続く工程で埋め込み酸化膜（HDP膜）38を堆積させる際に空隙（ボイド）が発生するのを防ぐことができる。

【0061】次に、図3（A）に示すようなICPタイプの高密度プラズマCVD装置を用いて、埋め込み酸化膜（HDP膜）38を上記のトレンチ36に堆積させる。これにより、図10（B）に示すような構造となる。埋め込み酸化膜38の形成は、例えば、以下の条件で行い、膜厚は600nm程度とする。

ガス：SiH₄ / H₂O = 20 / 30 sccm

圧力：0.1Pa

ソース出力：2000W（2MHz）

RFバイアス：200W（1.8MHz）

ウェハ温度：200℃

【0062】埋め込み酸化膜38としてHDP膜を使用することにより、膜収縮が少なく、アスペクト比が高い箇所においても段差被覆性（ステップカバレッジ）に優れた素子分離絶縁膜となる。続いて、実施形態1、2と同様の条件で埋め込み酸化膜（SiO₂膜）38のアニールを行う。このアニールにより、トレンチ36内壁の酸化膜37と埋め込み酸化膜38との界面における微小な空隙（ボイド）の発生が抑制され、同時に、埋め込み酸化膜38表面の平滑化も行われる。以上により、図10（B）に示すように、トレンチ36内部には埋め込み酸化膜38が良好な被覆性で埋め込まれ、広いアクティブ領域33上に、埋め込み酸化膜38が例えば約200nmの厚さで残存した構造となる。

【0063】続いて、図10（C）に示すように、1%フッ酸を用いて1分間、ライトエッチングを行う。これにより、埋め込み酸化膜38の表面が約30nm程度エッチングされ、個々のアクティブ領域上の埋め込み酸化膜38が、相互に独立した形状となる。その後、図11

（A）に示すように、有機膜42（例えば、市販のSi含有i線フォトレジスト）をスピンコート法により膜厚200nm程度、塗布する。有機膜42の上層の全面に、フォトレジスト43を堆積させてから、図11

（B）に示すように、広いアクティブ領域33および狭いアクティブ領域34上のフォトレジスト43に、i線ステッパーを用いて開口を設ける。

【0064】次に、フォトレジスト43をマスクとして有機膜42および埋め込み酸化膜38のエッチングを行

(10)

17

うと、図12に示すような形状を経て、図13(A)に示すような形状となる。有機膜42のエッチングは、例えば以下の条件で行う。

装置：ICPタイプのSiエッチング装置（図3(A)参照）

ガス： $\text{Cl}_2/\text{O}_2 = 40/15 \text{ sccm}$

圧力：0.4 Pa

ソース出力：1500W (2MHz)

RFバイアス：60W (1.8MHz)

ウェハ温度：20℃

エッチング量：100nm

【0065】また、広いアクティブ領域33および狭いアクティブ領域34上の埋め込み酸化膜38のエッチングは、例えば以下の条件で行う。

溶液：5% フッ酸

エッチング量：400nm

【0066】図13(A)に示される工程において、アクティブ領域33、34上の埋め込み酸化膜38は選択的かつ完全に除去される。したがって、トレンチ36内の埋め込み酸化膜38に対するエッチングは起こらず、素子分離領域の良好な形状が維持される。その後、アッシング処理を行うことにより、図13(B)に示すように、有機膜42およびフォトレジスト43を除去する。さらに、基板表面に突出した埋め込み酸化膜38に対して、実施形態1、2と同様な条件でCMPを行う。

【0067】上記のCMP工程においては、基板上に残存する埋め込み酸化膜38の膜厚がウェハ全面でほぼ均一となっているため、研磨量は少なくて済む。したがって、広い素子分離絶縁膜中に形成された孤立アクティブ領域35が過剰研磨されるディッシングは、ほとんど起こらない。その後、ホットリン酸を用いたエッチングによりSiN膜40を除去する。さらに、フッ酸を用いたライトエッチングを行い、パッド酸化膜39を除去する。これにより、トレンチ端部における埋め込み酸化膜38の落ち込みを20nm以内に抑えることができ、トレンチ端部の落ち込みに起因するトランジスタ特性の変動が抑制される。

【0068】さらに、公知の方法により犠牲酸化膜（不図示）を形成してシリコン基板31表面に不純物の導入を行う。続いて、シリコン基板31上にゲート酸化膜、配線金属層などを公知の方法により形成する。これにより、基板表面が均一に平坦化され、十分なゲート加工マージンが確保された半導体装置が得られる。上記の本実施形態の半導体装置の製造方法によっても、メモリセル部分と周辺回路部分とが混載された半導体装置において、均一な形状のSTIを形成することができる。

【0069】（実施形態4）図10(A)は本実施形態の半導体装置の製造方法により製造される、半導体装置の基板部分の断面図であり、上記の実施形態1～3と同様な構造の基板が形成される。次に、本実施形態の半導

18

体装置の製造方法について説明する。まず、実施形態1～3と同様に、図4(B)に示すように、シリコン基板31上にパッド酸化膜39として熱酸化膜を膜厚10～20nm程度で形成する。パッド酸化膜39上に、後述するCMP工程においてストッパー層となるシリコン窒化膜（SiN膜）40を、例えば減圧CVD法により膜厚150～200nm程度で形成する。

【0070】次に、フォトレジスト41を全面に堆積してから、図4(C)に示すように、フォトリソグラフィ工程によりフォトレジスト41にアクティブ領域のパターニングを行う。フォトレジスト41をマスクとしてKrFエキシマレーザーを用い、図5(A)に示すように、SiN膜40およびパッド酸化膜39のエッチングを行う。これにより、最小0.3μm幅のスペースパターンが形成される。その後、フォトレジスト41を除去する。

【0071】次に、図5(B)に示すように、パターニングされたSiN膜40をマスクとしてシリコン基板31を深さ300～400nm程度エッチングし、アクティブ領域間にトレンチ36を形成する。トレンチ36を形成するためのエッチングは、例えば、図3(B)に示すようなヘリコン波プラズマタイプのSiエッチング装置を用いて、以下の条件で行う。

ガス： $\text{Cl}_2/\text{HBr} = 30/20 \text{ sccm}$

圧力：0.2 Pa

ソース出力：2000W (13.56MHz)

RFバイアス：120W (400kHz)

ウェハ温度：20℃

【0072】さらに、実施形態1～3と同様な条件で熱酸化を行い、図6(A)に示すようにトレンチ36の内壁に膜厚20nm程度の酸化膜37を形成する。これにより、ドライエッチングによるシリコン基板31のダメージが、ある程度は回復する。また、酸化膜42を形成することによりトレンチ上端のコーナー部分が丸みを帯びた形状となるため、続く工程で埋め込み酸化膜（HDP膜）38を堆積させる際に空隙（ボイド）が発生するのを防ぐことができる。

【0073】次に、図3(B)に示すようなヘリコン波プラズマタイプの高密度プラズマCVD装置を用いて、埋め込み酸化膜38を上記のトレンチ36に堆積させる。これにより、図10(B)に示すような構造となる。埋め込み酸化膜38の形成は、例えば以下の条件で行い、膜厚は600nm程度とする。

ガス： $\text{SiH}_4/\text{H}_2\text{O} = 30/20 \text{ sccm}$

圧力：0.08 Pa

ソース出力：2500W (13.56MHz)

RFバイアス：150W (400kHz)

ウェハ温度：200℃

【0074】埋め込み酸化膜38としてHDP膜を形成することにより、膜収縮が少なく、アスペクト比が高い

(11)

19

箇所においても段差被覆性（ステップカバレッジ）に優れた素子分離絶縁膜となる。また、バイアススパッタ法の適用により、テーパ状の側壁をもち、表面が平坦化された素子分離絶縁膜（STI）36が形成される。続いて、実施形態1〜3と同様な条件で、埋め込み酸化膜（SiO₂膜）38のアニールを行う。このアニールにより、トレンチ36内壁の酸化膜42と埋め込み酸化膜38との界面における微小な空隙（ボイド）の発生が抑制され、同時に、埋め込み酸化膜38表面の平滑化も行われる。以上により、図10（B）に示すように、トレン

チ36内部には埋め込み酸化膜38が良好な被覆性で埋め込まれ、広いアクティブ領域33上には、埋め込み酸化膜38が例えば約200nmの厚さで残存した構造となる。

【0075】続いて、図10（C）に示すように、1%フッ酸を用いて1分間、ライトエッチングを行う。これにより、埋め込み酸化膜38の表面が30nm程度エッチングされ、個々のアクティブ領域上の埋め込み酸化膜38が、相互に独立した形状となる。その後、図11

（A）に示すように、有機膜42（例えば、市販のSi含有i線フォトレジスト）をスピコート法により膜厚200nm程度、塗布する。有機膜42の上層の全面に、フォトレジスト43を膜厚500nm程度で堆積させてから、図11（B）に示すように、広いアクティブ領域33および狭いアクティブ領域34上のフォトレジスト43に、i線ステッパーを用いて開口を設ける。

【0076】次に、フォトレジスト43をマスクとして有機膜42および埋め込み酸化膜38のエッチングを行うと、図12に示すような形状を経て、図13（A）に示すような形状となる。有機膜43のエッチングは、例

えば以下の条件で行う。

装置：ヘリコン波プラズマタイプのSiエッチング装置（図3（B）参照）
 ガス：Cl₂/O₂ = 40/10 sccm
 圧力：0.1Pa
 ソース出力：2000W（13.56MHz）
 RFバイアス：50W（400kHz）
 ウェハ温度：20℃
 エッチング量：100nm

【0077】また、広いアクティブ領域33および狭いアクティブ領域34上の埋め込み酸化膜38のエッチングは、例えば以下の条件で行う。

溶液：5% フッ酸
 エッチング量：400nm

【0078】図13（A）に示される工程において、アクティブ領域33、34上の埋め込み酸化膜38は選択的かつ完全に除去される。したがって、トレンチ36内の埋め込み酸化膜38に対するエッチングは起こらず、素子分離領域の良好な形状が維持される。その後、アッシング処理を行うことにより、図13（B）に示すよう

20

に、有機膜42およびフォトレジスト43を除去する。さらに、基板表面に突出した埋め込み酸化膜38に対してCMPを行う。CMPは上記の実施形態1〜3と同様の条件で行うことができる。

【0079】上記のCMP工程においては、基板に残存する埋め込み酸化膜38の膜厚がウェハ全面でほぼ均一となっているため、研磨量は少なくて済む。したがって、広い素子分離絶縁膜中に形成された孤立アクティブ領域35が過剰研磨されるディッシングは、ほとんど起こらない。その後、ホットリン酸を用いたエッチングによりSi₃N₄膜40を除去する。さらに、フッ酸を用いたライトエッチングを行い、パッド酸化膜39を除去する。これにより、トレンチ端部における埋め込み酸化膜38の落ち込みを20nm以内に抑えることができ、トレンチ端部の落ち込みに起因するトランジスタ特性の変動が抑制される。

【0080】さらに、公知の方法により犠牲酸化膜（不図示）を形成してシリコン基板31表面に不純物の導入を行う。続いて、シリコン基板31上にゲート酸化膜、配線金属層などを公知の方法により形成する。これにより、基板表面が均一に平坦化され、十分なゲート加工マージンが確保された半導体装置が得られる。上記の本実施形態の半導体装置の製造方法によっても、メモリセル部分と周辺回路部分とが混載された半導体装置において、均一な形状のSTIを形成することができる。

【0081】本発明の半導体装置の製造方法は、上記の実施の形態に限定されない。例えば、エッチングプラズマ源、装置構成、エッチングプロセス条件等、適宜変更することが可能である。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0082】

【発明の効果】本発明の半導体装置の製造方法によれば、絶縁膜の過剰な研磨が防止され、トレンチ端部の落ち込みが抑制される。したがって、トレンチ端部の段差が低減され、ゲート加工マージンを十分に確保することができる。また、本発明の半導体装置の製造方法によれば、トレンチ端部の落ち込みが抑制され、トレンチ端部における電界集中が緩和される。したがって、逆狭チャネル効果等によるトランジスタ特性の低下を防止することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法に用いられる半導体製造装置の断面図である。

【図2】本発明の半導体装置の製造方法に用いられる半導体製造装置の断面図である。

【図3】本発明の半導体装置の製造方法に用いられる半導体製造装置の断面図である。

【図4】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図5】本発明の半導体装置の製造方法の製造工程を示

(12)

21

す断面図である。

【図6】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図7】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図8】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図9】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図10】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図11】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図12】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図13】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図14】従来の半導体装置の製造方法の製造工程を示す断面図である。

【図15】従来の半導体装置の製造方法の製造工程を示す断面図である。

22

【図16】従来の半導体装置の製造方法の製造工程を示す断面図である。

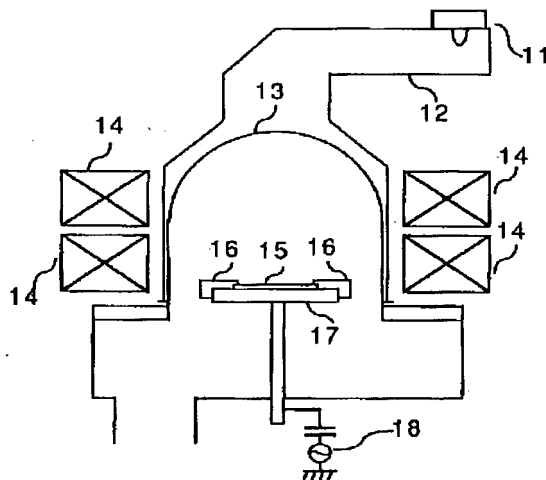
【図17】従来の半導体装置の製造方法の製造工程を示す断面図である。

【図18】従来の半導体装置の製造方法の製造工程を示す断面図である。

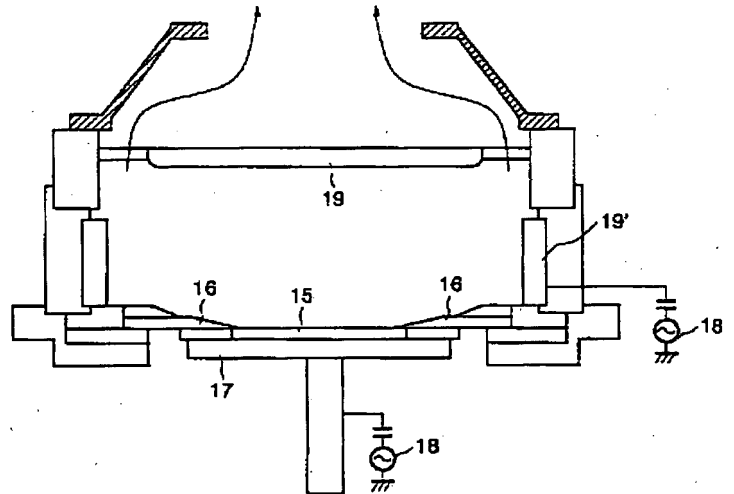
【符号の説明】

11…マグネトロン、12…導波管、13…石英ベルジャー、14…ソレノイドコイル、15…ウェハ、16…クランプ、17…ウェハステージ、18…高周波電源、19…上部電極、19'…側壁電極、20…誘導結合コイル、21…ヒーター、22…ソース電極、23…アンテナ、24…ソースチェンバー、25…マルチポール磁石、31、51…シリコン基板、32…メモリセル領域、33…広いアクティブ領域、34…狭いアクティブ領域、35…孤立アクティブ領域、36…STI、37、55…酸化膜、38、56…埋め込み酸化膜 (HDP; high density plasma膜)、39、52…パッド酸化膜、40、53…シリコン窒化膜、41、43、54、57…フォトリソ、42…有機膜、58…トレンチ端部の落ち込み。

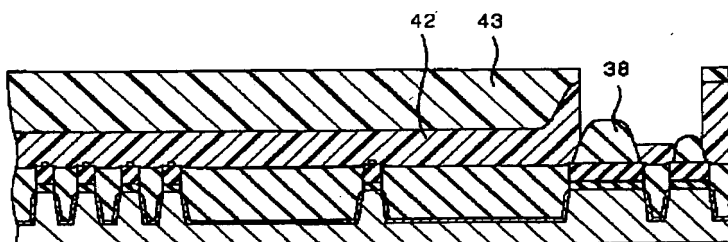
【図1】



【図2】

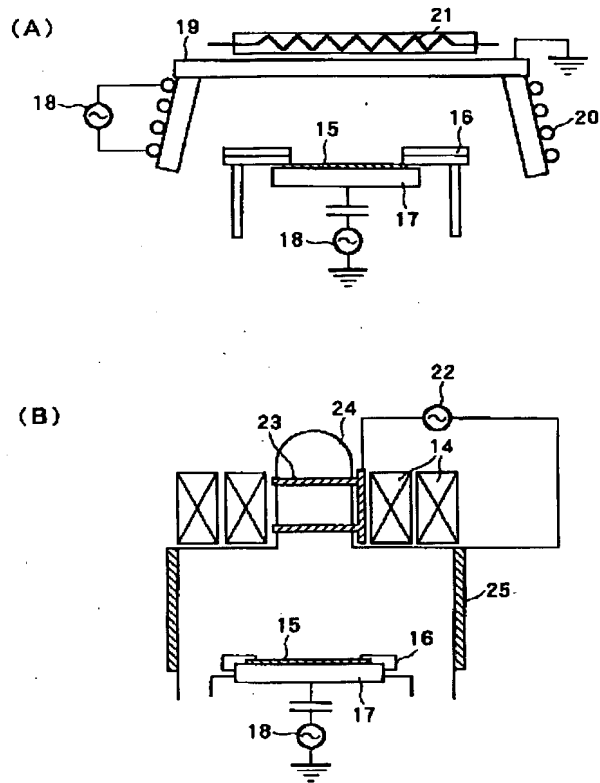


【図12】

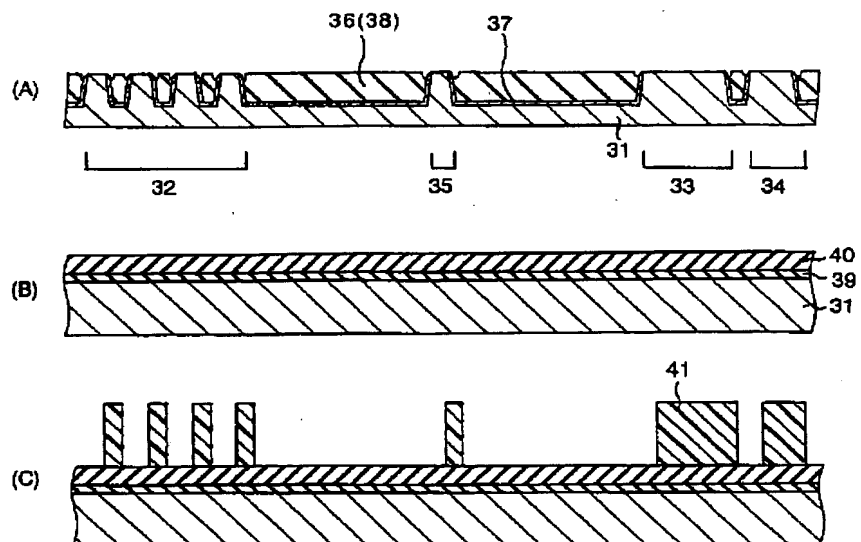


(13)

【図3】

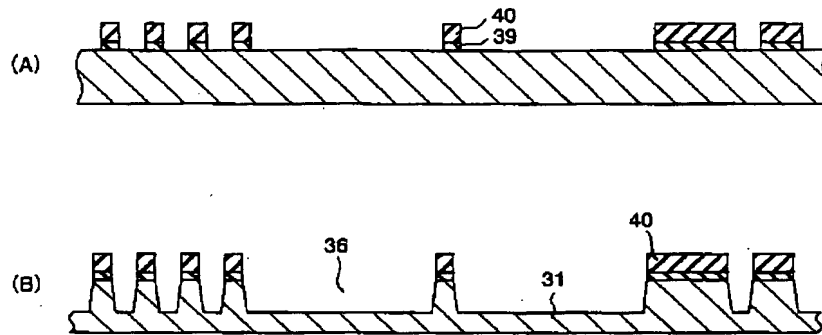


【図4】

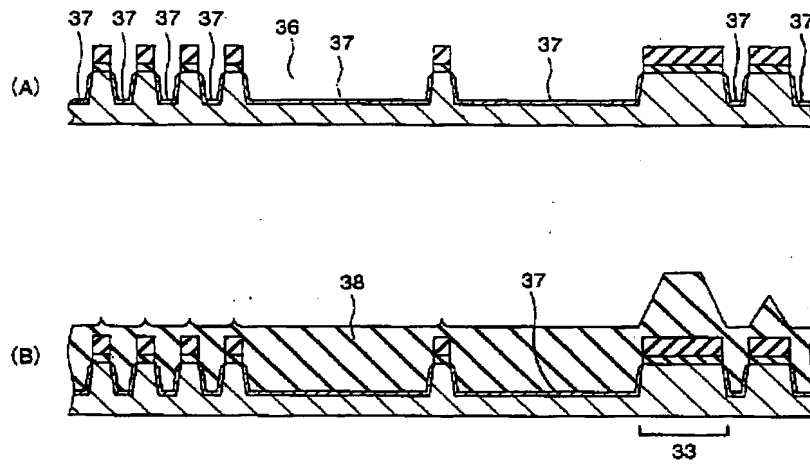


(14)

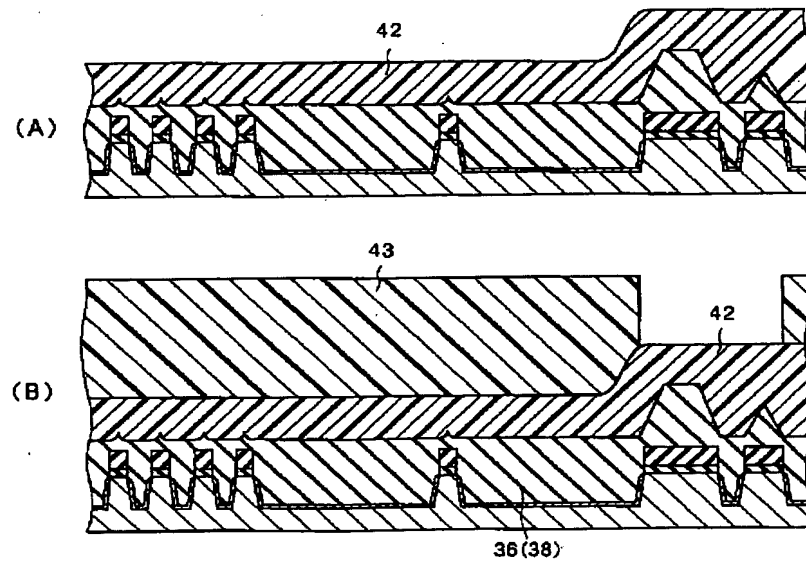
【図5】



【図6】

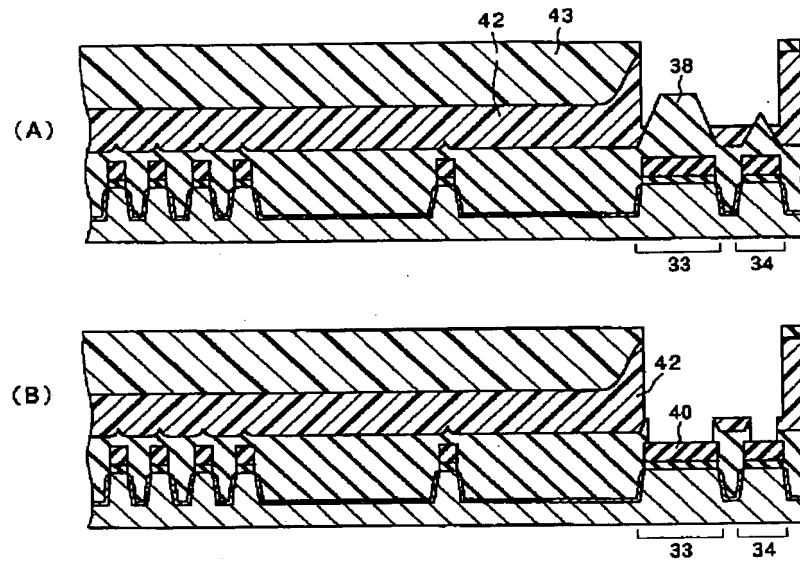


【図7】

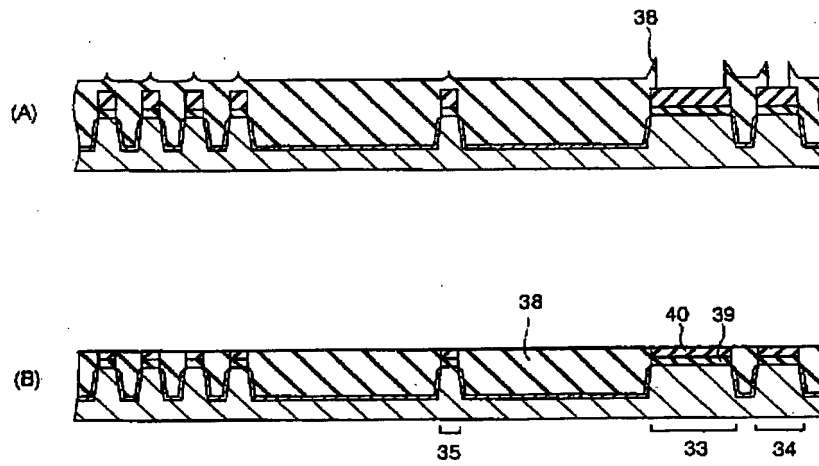


(15)

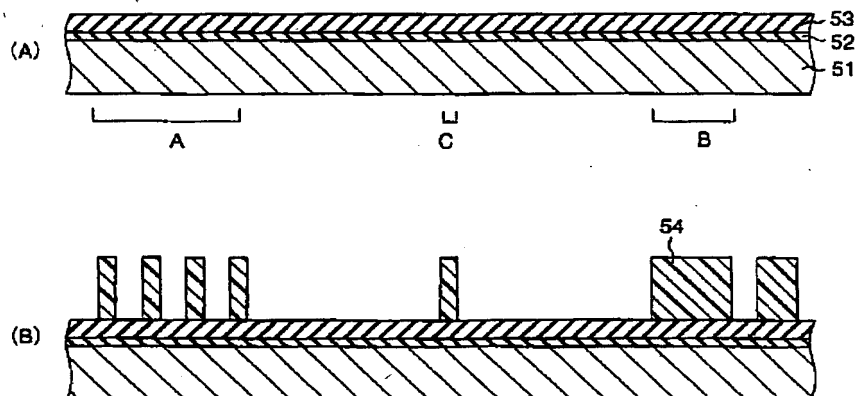
【図8】



【図9】

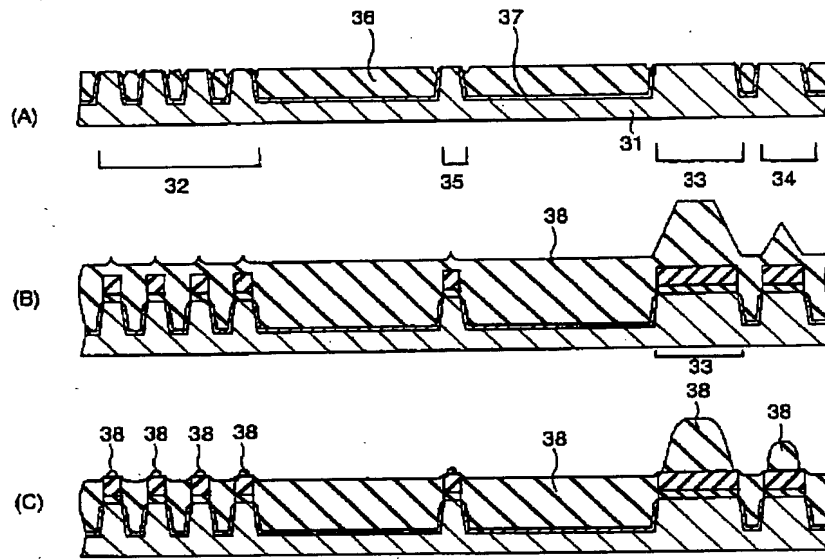


【図14】

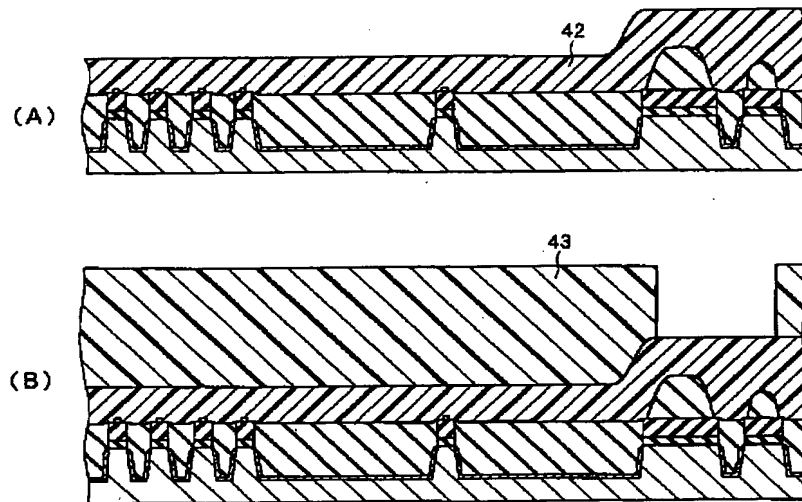


(16)

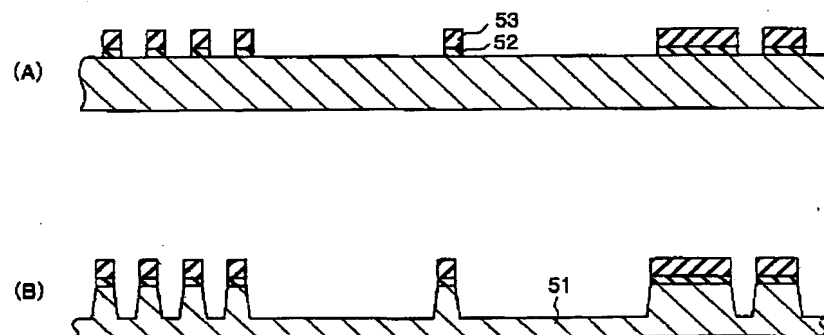
【図10】



【図11】

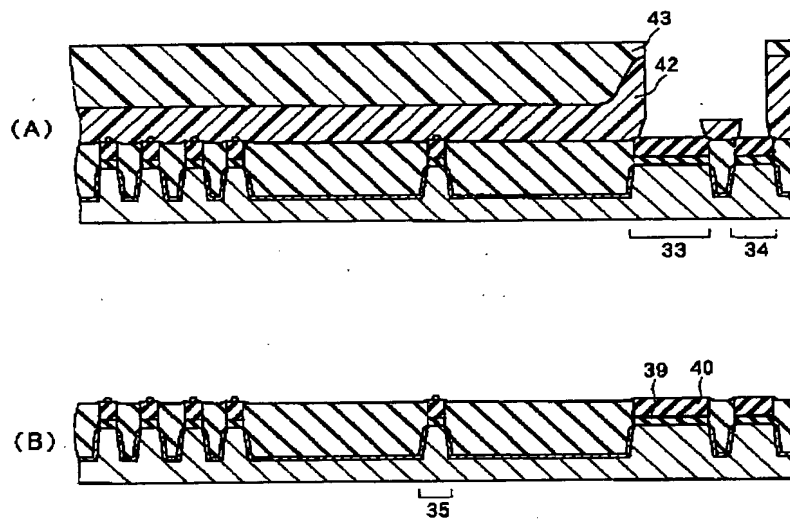


【図15】

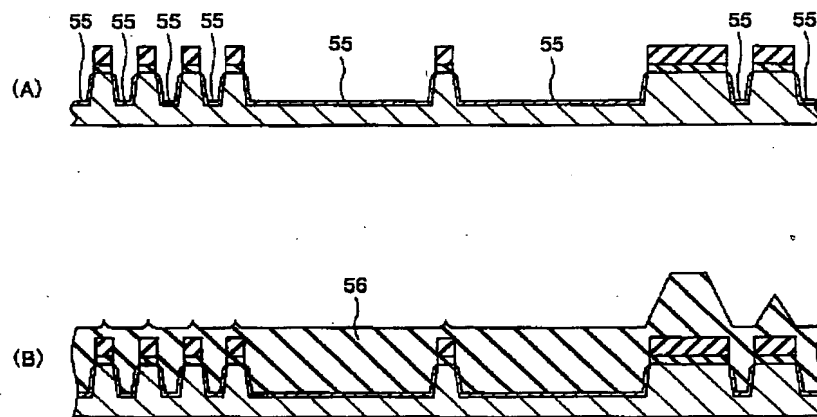


(17)

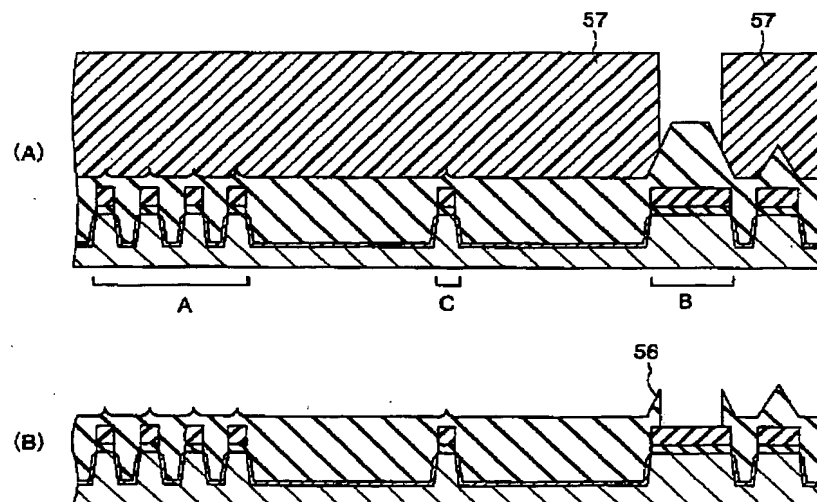
【図13】



【図16】

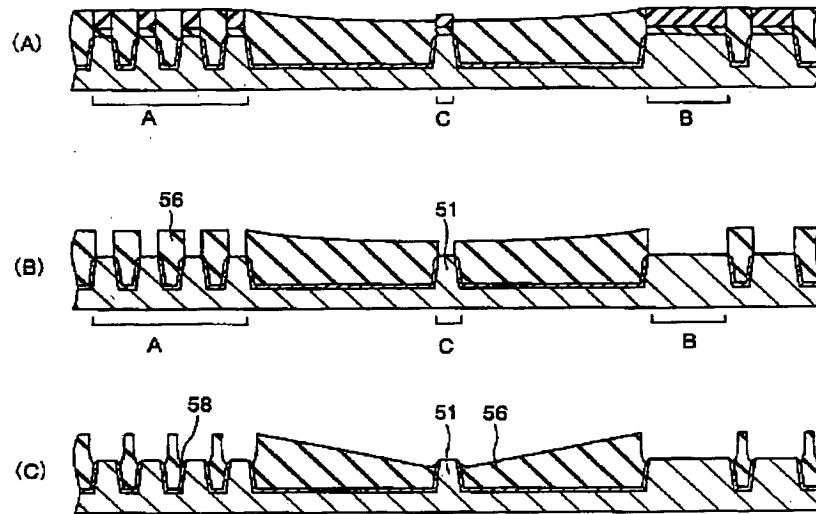


【図17】



(18)

【図18】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.